

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants : Masaru KITO et al.
U.S. Serial No. : Not Yet Assigned
Filing Date : August 20, 2003
For : ***SEMICONDUCTOR MEMORY DEVICE WITH SURFACE
STRAP AND METHOD OF FABRICATING THE SAME***
Group Art Unit : Not Yet Assigned

745 Fifth Avenue
New York, New York 10151

EXPRESS MAIL

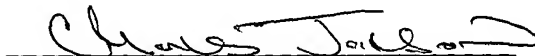
Mailing Label Number: EV205872376US

Date of Deposit: August 20, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" Service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Charles Jackson

(Typed or printed name of person mailing paper or fee)


(Signature of person mailing paper or fee)

CLAIM OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim priority under 35 U.S.C. §§119 and/or 120, from Japanese Application No. 2003-166851 filed June 11, 2003, a certified copy of which is enclosed.


Acknowledgment of the claim of priority and of the receipt of said certified copy
is respectfully requested.

Please charge any additional fees required for the filing of this document or credit
any overpayment to Deposit Account No. 50-0320.

Respectfully submitted,

FROMMER LAWRENCE & HAUG LLP
Attorneys for Applicants

By:


Grace L. Pan
Registration No. 39,440
Tel. (212) 588-0800
Fax (212) 588-0500

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 6月11日

出 願 番 号

Application Number:

特願2003-166851

[ST.10/C]:

[JP2003-166851]

出 願 人

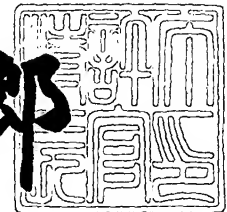
Applicant(s):

株式会社東芝

2003年 7月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051870

【書類名】 特許願

【整理番号】 A000300231

【提出日】 平成15年 6月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明の名称】 半導体記憶装置及びその製造方法

【請求項の数】 14

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 鬼頭 傑

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 勝又 竜太

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

 【氏名】 青地 英明

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項 1】 トレンチキャパシタと、前記トレンチキャパシタを選択するフィンゲート構造の MOS FET とを有するメモリセルを備えた半導体記憶装置であって、

半導体基板の主表面に形成されるピラーと、

前記ピラーの基部近傍の前記半導体基板上に形成される素子分離領域と、

前記ピラーの側壁及び上面に形成され、ワード線として働くゲート電極と、

前記ピラーと前記ゲート電極との間に介在されるゲート絶縁膜と、

前記ピラー中に形成され、ビット線に接続される第 1 の活性化領域と、

前記ピラー中に形成され、前記第 1 の活性化領域と離隔して前記ゲート電極を挟むように配置される第 2 の活性化領域と、

前記ゲート電極における前記ピラーの上面に対応する側壁に形成される第 1 の酸化膜と、

前記ピラーにおける前記第 2 の活性化領域の近傍に形成されるトレンチと、

前記トレンチの側壁部に形成されるキャパシタと、

前記ピラーの側壁における上部の前記素子分離領域上に、前記ピラーの上面よりも低い位置まで形成される第 2 の酸化膜と、

前記ピラーにおける前記第 2 の活性化領域上に対応する位置の前記第 2 の酸化膜上に設けられ、前記第 2 の活性化領域と前記キャパシタの一方の電極とを電気的に接続するサーフェスストラップとを具備し、

前記ゲート電極の側壁の絶縁を前記第 1 の酸化膜のみで行い、前記ゲート電極と前記サーフェスストラップとの絶縁を前記第 2 の酸化膜のみで行い、前記サーフェスストラップと前記第 2 の活性化領域とのコンタクトを、前記ピラーの上面及び側壁の上部で行うこと

を特徴とする半導体記憶装置。

【請求項 2】 更に、前記サーフェスストラップの側壁部を埋め込み、前記第 2 の酸化膜と同じ材料の第 3 の酸化膜を有すること

を特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 更に、前記サーフェスストラップの側壁部を埋め込み、前記第 2 の酸化膜と異なる材料の絶縁膜を有すること

を特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】 更に、前記ゲート電極上及び前記サーフェスストラップ上に形成されるシリサイド層を有すること

を特徴とする請求項 1 乃至請求項 3 いずれか 1 つの項に記載の半導体記憶装置

。 【請求項 5】 前記ワード線は、前記ピラーの短手方向に沿って配置され、前記ビット線は、前記ワード線と交差する方向に沿って配置されること

を特徴とする請求項 1 乃至請求項 4 いずれか 1 つの項に記載の半導体記憶装置

。 【請求項 6】 前記メモリセルは、前記 MOSFET と前記トレンチキャパシタがそれぞれ一対ずつ隣接して配置され、前記一対の MOSFET と一対のトレンチキャパシタが交互に千鳥状に配置されること

を特徴とする請求項 1 乃至請求項 5 いずれか 1 つの項に記載の半導体記憶装置

。 【請求項 7】 半導体基板の主表面をリセスエッチングし、素子形成領域となるピラーを形成する工程と、

前記リセス領域に素子分離領域を埋め込み形成する工程と、

前記ピラーの表面にゲート絶縁膜の少なくとも一部を形成する工程と、

前記リセス領域の前記素子分離領域上にゲート電極材料を埋め込み、前記ピラーの側壁及び上面にゲート電極を形成する工程と、

前記ピラーの端部近傍にトレンチを形成し、このトレンチの側壁部にキャパシタを形成する工程と、

前記ゲート電極をマスクに用いて前記ピラー中に不純物を導入し、前記ゲート電極を挟むように第 1、第 2 の活性化領域を形成する工程と、

前記素子分離領域上の前記ピラーの側壁に、前記ゲート電極を挟むように第 1 の酸化膜を埋め込み形成する工程と、

前記ピラーの上部に第 2 の酸化膜を形成する工程と、

前記第 2 の絶縁膜をマスクとして前記第 1 の酸化膜の上部を除去し、前記ピラーの上面及び側壁の上部を露出させる工程と、

前記露出させたピラーの上面及び側壁の上部に導電材料を形成し、前記キャパシタと前記第 2 の活性化領域とを電氣的に接続するサーフェストラップを形成する工程とを具備すること

を特徴とする半導体記憶装置の製造方法。

【請求項 8】 前記サーフェストラップの側壁部に、前記第 2 の酸化膜と同じ材料の第 3 の酸化膜を埋め込み形成する工程を更に有すること

を特徴とする請求項 7 に記載の半導体記憶装置の製造方法。

【請求項 9】 前記サーフェストラップの側壁部に、前記第 2 の酸化膜と異なる材料の第 1 の絶縁膜を埋め込み形成する工程を更に有すること

を特徴とする請求項 7 に記載の半導体記憶装置の製造方法。

【請求項 10】 前記サーフェストラップを形成する工程の後に、前記サーフェストラップ上に第 2 の絶縁膜を形成する工程と、前記第 1, 第 2 の絶縁膜における前記第 2 の活性化領域上に対応する位置に、コンタクトホールを形成する工程と、前記コンタクトホール内にビット線コンタクトを形成する工程と、前記第 2 の絶縁膜上にビット線を形成する工程とを更に有すること

を特徴とする請求項 8 又は請求項 9 に記載の半導体記憶装置の製造方法。

【請求項 11】 前記サーフェストラップを形成する工程の後に、前記ゲート電極の上部を露出する工程と、サリサイドプロセスにより前記ゲート電極上及び前記サーフェストラップ上にシリサイド層を形成する工程とを更に有すること

を特徴とする請求項 7 乃至請求項 9 いずれか 1 つの項に記載の半導体記憶装置の製造方法。

【請求項 12】 前記シリサイド層を形成する工程の後に、前記シリサイド層上に第 2 の絶縁膜を形成する工程と、前記第 1, 第 2 の絶縁膜における前記第 2 の活性化領域上に対応する位置に、コンタクトホールを形成する工程と、前記コンタクトホール内にビット線コンタクトを形成する工程と、前記第 2 の絶縁膜

上にビット線を形成する工程とを更に有すること

を特徴とする請求項 1 1 に記載の半導体記憶装置の製造方法。

【請求項 1 3】 前記第 2 の絶縁膜を埋め込み形成する工程は、塗布法により酸化膜を埋め込み形成する工程であること

を特徴とする請求項 7 に記載の半導体記憶装置の製造方法。

【請求項 1 4】 前記第 3 の絶縁膜を埋め込み形成する工程は、塗布法により酸化膜を埋め込み形成する工程であること

を特徴とする請求項 7 に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体記憶装置及びその製造方法に関し、特にトレンチキャパシタを有する D R A M（記憶保持が必要な随時書き込み読み出しメモリ）に係り、フィンゲート構造のトレンチ型 D R A M に適用されるものである。

【0 0 0 2】

【従来の技術】

近年、デザインルールの縮小に伴うセルサイズの縮小によって、セルトランジスタの電流駆動力を決定する重要なパラメータであるチャネル幅が狭くなり、駆動力が低下している。このようなセルトランジスタの駆動力の低下を抑制するために、フィンゲート構造のダブルゲートトランジスタを用いたトレンチ型 D R A M セルが提案されている（例えば、特許文献 1 参照）。

【0 0 0 3】

上記トレンチ型 D R A M を形成する従来の製造工程のうち、セルトランジスタのゲート電極を加工した後に、ゲート電極の側壁にソース／ドレイン領域を L D D（Lightly Doped Drain）構造にするためのスペーサ S i N 膜を形成する場合がある。この際、フィンゲート構造のセルトランジスタでは、半導体基板の主表面よりも深い位置の活性化領域（ソース／ドレイン領域）の側壁にも上記 S i N 膜が形成されてしまう。このため、トレンチキャパシタとセルトランジスタの活性化領域の一方とをサーフェスストラップで電氣的に接続する場合に、基板表面

でしかコンタクトを取れない。

【0004】

図43は、上記従来のフィンゲート構造のダブルゲートトランジスタを用いたトレンチ型DRAMにおけるトレンチキャパシタとセルトランジスタのソース領域とのコンタクト部を模式的に示す断面構造図である。

【0005】

図43では、半導体基板111の主表面に形成されたピラーFIN、素子分離領域となるSTI酸化膜100、ピラーFIN中に形成されたソース領域101、サーフェスストラップ102、ピラーFINの側壁部に形成されたSiN膜103、バリアSiN膜104、及びBP SG膜105を拡大して示している。

【0006】

ここで、破線で囲んだコンタクト側壁部106には、ゲート電極の側壁にスペーサSiN膜を形成したときのSiN膜103が残存しており、サーフェスストラップ102はソース領域101の上面（ピラーFINの上面）のみで電氣的に接続されている。このため、サーフェスストラップ102とソース領域101とのコンタクト抵抗が大きくなる。

【0007】

最近では、微細化の要請に伴い、ピラーFINや活性化領域の幅も縮小されており、ピラーの表面でしかコンタクトを形成出来ない従来の構造では、サーフェスストラップとソース領域とのコンタクト面積が減少してコンタクト抵抗が増大する。その結果、最終的には、DRAMのデータ保持特性及び書き込みスピードを劣化させる原因となる。

【0008】

【特許文献1】

特願2001-224740 明細書

【0009】

【発明が解決しようとする課題】

上述したように従来の半導体記憶装置及びその製造方法は、サーフェスストラップを用いてトレンチキャパシタとソース領域又はドレイン領域とを電氣的に接

続する場合に、コンタクト抵抗が増大するという問題があった。

【0010】

この発明は上記のような事情に鑑みてなされたもので、サーフェストラップを用いてトレンチキャパシタとフィンゲート構造のMOSFETのソース領域又はドレイン領域とを接続する場合に、コンタクト抵抗を低減出来る半導体記憶装置及びその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】

この発明の一態様によると、トレンチキャパシタと、前記トレンチキャパシタを選択するフィンゲート構造のMOSFETとを有するメモリセルを備えた半導体記憶装置であって、半導体基板の主表面に形成されるピラーと、前記ピラーの基部近傍の前記半導体基板上に形成される素子分離領域と、前記ピラーの側壁及び上面に形成され、ワード線として働くゲート電極と、前記ピラーと前記ゲート電極との間に介在されるゲート絶縁膜と、前記ピラー中に形成され、ビット線に接続される第1の活性化領域と、前記ピラー中に形成され、前記第1の活性化領域と離隔して前記ゲート電極を挟むように配置される第2の活性化領域と、前記ゲート電極における前記ピラーの上面に対応する側壁に形成される第1の酸化膜と、前記ピラーにおける前記第2の活性化領域の近傍に形成されるトレンチと、前記トレンチの側壁部に形成されるキャパシタと、前記ピラーの側壁における上部の前記素子分離領域上に、前記ピラーの上面よりも低い位置まで形成される第2の酸化膜と、前記ピラーにおける前記第2の活性化領域上に対応する位置の前記第2の酸化膜上に設けられ、前記第2の活性化領域と前記キャパシタの一方の電極とを電氣的に接続するサーフェストラップとを具備し、前記ゲート電極の側壁の絶縁を前記第1の酸化膜のみで行い、前記ゲート電極と前記サーフェストラップとの絶縁を前記第2の酸化膜のみで行い、前記サーフェストラップと前記第2の活性化領域とのコンタクトを、前記ピラーの上面及び側壁の上部で行う半導体記憶装置が提供される。

【0012】

さらに、この発明の一態様によると、半導体基板の主表面をリセスエッチング

し、素子形成領域となるピラーを形成する工程と、前記リセス領域に素子分離領域を埋め込み形成する工程と、前記ピラーの表面にゲート絶縁膜の少なくとも一部を形成する工程と、前記リセス領域の前記素子分離領域上にゲート電極材料を埋め込み、前記ピラーの側壁及び上面にゲート電極を形成する工程と、前記ピラーの端部近傍にトレンチを形成し、このトレンチの側壁部にキャパシタを形成する工程と、前記ゲート電極をマスクに用いて前記ピラー中に不純物を導入し、前記ゲート電極を挟むように第1、第2の活性化領域を形成する工程と、前記素子分離領域上の前記ピラーの側壁に、前記ゲート電極を挟むように第1の酸化膜を埋め込み形成する工程と、前記ピラーの上部に第2の酸化膜を形成する工程と、前記第2の絶縁膜をマスクとして前記第1の酸化膜の上部を除去し、前記ピラーの上面及び側壁の上部を露出させる工程と、前記露出させたピラーの上面及び側壁の上部に導電材料を形成し、前記キャパシタと前記第2の活性化領域とを電気的に接続するサーフェスストラップを形成する工程とを具備する半導体記憶装置の製造方法が提供される。

【0013】

上記のような構成並びに製造方法によれば、サーフェスストラップと第2の活性化領域とのコンタクトを、第2の活性化領域の上面及び側壁の上部の広い面積で行うので、コンタクト抵抗を低減出来る。

【0014】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。なお、この説明においては、全図にわたり共通の部分には共通の参照符号を付す。

【0015】

〔第1の実施形態〕

図1乃至図6はそれぞれ、この発明の第1の実施形態に係る半導体記憶装置について説明するためのもので、トレンチ型DRAMを例にとって示している。図4はフィンゲート構造のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) とトレンチキャパシタとからなるメモリセルを用いたメモリセルアレイを模式的に示す平面図である。図5は図4の平面図に更にワード線、ビ

ット線及びサーフェストラップを加えてメモリセルアレイを模式的に示す平面図である。図3は図4に示すメモリセルアレイの要部を模式的に示す斜視図である。図1は図5におけるB-B'線に沿った断面構造図である。図2は図5におけるC-C'線に沿った断面構造図である。図6は図1のピラーの一部分を拡大した断面構造図である。

【0016】

まず、図4及び図5の平面図を用いてメモリセルアレイのパターン構成例について説明する。ここで、図中 $\langle mn \rangle$ (m, n はそれぞれ正の整数)はそれぞれ各メモリセルにおける<カラム (column) ロウ (row) >に対応している。図4に破線で囲んで示す $MC\langle 00 \rangle \sim MC\langle 47 \rangle$ はそれぞれ、1ビットのメモリセルである。これらのメモリセル MC ($MC\langle 00 \rangle \sim MC\langle 47 \rangle$)は、図5に示すようにビット線 BL ($BL\langle 0 \rangle \sim BL\langle 4 \rangle$)とワード線 WL ($WL\langle 0 \rangle \sim WL\langle 7 \rangle$)との交点にそれぞれ対応して設けられている。上記ビット線 BL は、素子領域となるピラー FIN の長手方向に沿って延設される。上記ワード線 WL は、上記ビット線 BL と交差するようにピラー FIN 上に延設される。

【0017】

上記各メモリセル MC は、フィンゲート構造の $MOSFET$ (TR) ($TR\langle 00 \rangle \sim TR\langle 47 \rangle$)とトレンチキャパシタ TC ($TC\langle 00 \rangle \sim TC\langle 47 \rangle$)とで形成される。また、各トランジスタ TR の一方の活性化領域であるソース領域はトレンチキャパシタ TC の一方の電極に接続され、他方の活性化領域であるドレイン領域は隣接するメモリセル MC 中のトランジスタ TR のドレイン領域と共用され、一対のメモリセル MC を形成する。夫々のトランジスタ TR のドレイン領域は、ビット線コンタクト (接続部) BC ($BC\langle 03 \rangle, \dots$) を介してビット線に接続される。これら一対のメモリセル MC は、各ワード線 WL に沿ってトランジスタ TR とトレンチキャパシタ TC とが一対ずつ交互に繰り返されるように配置されている。このように、一対のフィンゲート構造の $MOSFET$

TR と一対のトレンチキャパシタ TC を交互に千鳥状に配置することによりパターン占有面積を低減することが出来る。

【0018】

次に、上記図5におけるメモリセルMC<03>とメモリセルMC<04>を抽出し、サーフェスストラップの平面構造、並びに図3の斜視図を用いて立体的な構造を詳しく説明する。図5に示すように、ワード線WLに沿って、MOSFET TRのソース領域S及びトレンチキャパシタTC上に夫々サーフェスストラップSS (SS<00>~SS<47>) が形成される。上記サーフェスストラップSSは、隣接するワード線WLの間に形成される。このサーフェスストラップSSによって、MOSFET TRのソース領域SとトレンチキャパシタTCの一方の電極が電氣的に接続される。

【0019】

図3に示すように、P型シリコン基板11には、このシリコン基板11の主表面が突起状に加工されたピラー（凸形状の半導体領域）FINが形成されている。このピラーFINの高さは、例えば0.3~1.0 μ m程度であるが、0.3 μ m以下でも良い。上記ピラーFINの両側壁には、チャネル領域が形成される。また、上記チャネル領域の表面上には、ゲート絶縁膜GOX (GOX<03>、GOX<04>) が形成され、その膜厚は例えば5nm程度である。ゲート絶縁膜GOX上には、ゲート電極が形成され、上記ゲート電極は図示しないワード線WLに接続される。

【0020】

さらに、上記ピラーFIN内部の両側壁には上記チャネル領域を挟むように、活性化領域であるソース領域S (S<03>、S<04>) /ドレイン領域D (D<03>、D<04>) が形成される。このソース領域S /ドレイン領域Dは、例えばN⁺型の不純物が拡散されることにより形成される。上記ドレイン領域Dはビット線コンタクトBC (BC<03>) を介して、図示しないビット線BL (BL<0>) に接続される。

【0021】

次に図1、図2、及び図6を用いて断面構造を更に詳しく説明する。図1に示すように、P型シリコン基板11の主表面には、素子分離領域としてのシリコン酸化膜36が埋め込み形成される。上記シリコン酸化膜36上に上記ゲート電極

を挟むようにピラー F I N の側壁に S O G (Spin On Glass) 膜 7 0 が形成される。この S O G 膜 7 0 の上面はピラー F I N の上面よりも低くなるように形成され、S O G 膜 7 0 の上にサーフェスストラップ S S (S S < 1 2 >) が形成される。さらに、ピラーの側面において、上記ゲート電極とサーフェスストラップとの間には上記 S O G 膜 7 0 が形成される (図示せず)。

【 0 0 2 2 】

カラー絶縁膜 4 7 を介して上記シリコン酸化膜 3 6 及び S O G 膜 7 0 に挟まれるようにシリコン基板 1 1 内にトレンチキャパシタ T C (T C < 0 3 > 、 T C < 2 3 >) が形成される。さらに、上記ピラー F I N 及びトレンチキャパシタ T C の上には、サーフェスストラップ S S (S S < 0 3 > 、 S S < 1 2 > 、 及び S S < 2 3 >) が形成される。サーフェスストラップ S S の層間絶縁膜として例えば S O G 膜 6 5 が形成される。

【 0 0 2 3 】

さらに図 2 に示すように、ピラー F I N の上面には、例えば $0.1 \mu\text{m}$ 程度以下の絶縁膜 1 0 を介在してワード線 W L (W L < 1 > 、 W L < 2 > 、 W L < 3 > 、 W L < 4 >) が形成される。従って、チャネル領域に形成された絶縁膜 1 0 を介して、ワード線 (アクティブワード線) W L < 3 > 及び W L < 4 > が形成される。ここで、アクティブワード線 W L とは、直下のトランジスタをスイッチング動作させるワード線である。また、上記絶縁膜 1 0 は、例えば膜厚が $0.002 \mu\text{m}$ のシリコン酸化膜 1 2 及び膜厚が $0.07 \mu\text{m}$ のシリコンナイトライド膜 3 0 から形成される。

【 0 0 2 4 】

上記トレンチキャパシタ T C の上面には埋め込み絶縁膜 5 1 が形成され、内壁に沿ってカラー絶縁膜 4 7 が形成される。上記埋め込み絶縁膜 5 1 の膜厚は例えば $0.03 \mu\text{m}$ 以上であり、ゲート絶縁膜 G_{OX} の膜厚よりも厚く形成される。各埋め込み絶縁膜 5 1 上には、隣接するメモリセルのワード線 (パッシングワード線) W L が形成される。例えば、トレンチキャパシタ T C < 0 0 > 及び T C < 0 3 > の上面に形成された埋め込み絶縁膜 5 1 の上には、パッシングワード線 W L < 1 > 及び W L < 2 > が形成される。このパッシングワード線 W L は、トレン

チキャパシタTC上を単に通過するに過ぎず、メモリセルMCに対しては何らスイッチング動作に作用しない。このようにワード線WLは、アクティブワード線とパッシングワード線が交互に配置されている。

【0025】

上記ワード線WLの上にはキャップ材として例えばBPSG膜53が形成される。ワード線WLの側壁には酸化膜で形成されたスペーサ73が形成される。上記BPSG膜53上にはTEOS膜76が形成される。さらに、ドレイン領域D上に形成されたアモルファスシリコン74の上に形成された上記TEOS膜76中にビット線コンタクトBC ($BC<03>$) が形成される。このビット線コンタクトBCにより、上記TEOS膜76上に形成されたビット線BLとMOSFETのドレイン領域とが電氣的に接続される。

【0026】

上記のように、ソース領域S ($S<00>$ 、 $S<03>$) はサーフェスストラップSS ($SS<00>$ 、 $SS<03>$) を介してトレンチキャパシタTC ($TC<00>$ 、 $TC<03>$) に接続される。

【0027】

さらに図6に示すように、上記サーフェスストラップSS ($SS<12>$) は、ソース領域S ($S<12>$) が形成されたピラーFINの上面だけでなく側面にも接するように形成されている。従って、ソース領域Sが形成されたピラーFINの側壁71は、サーフェスストラップSSと接している。

【0028】

このように、ピラーFIN内に形成されたMOSFETのソース領域Sは、このソース領域Sの上面及び側面と接するサーフェスストラップSSを介して、トレンチキャパシタTCの一方の電極（ストレージ電極50）に電氣的に接続される。

【0029】

次に、メモリセルMC<03>を例に挙げて、各メモリセルMCの基本的な動作の一例を説明する。以下において基本的な動作の一例の説明は、読み出し／書き込み動作時におけるビット線BL<0>の電圧の変化に着目して行う。

【0030】

まず、データの読み出し動作について説明する。ビット線 $BL<0>$ を選択し、プリチャージを行ってビット線 $BL<0>$ を活性化する。このビット線 $BL<0>$ のプリチャージレベルは、例えばビット線 $BL<0>$ からの信号をセンスするセンスアンプを駆動する電源電圧 VDD の $1/2$ ($VDD/2$) である。

【0031】

次に、データの読み出しを行うワード線 WL を選択する。選択されたワード線 WL には、ロウデコーダ中のワード線ドライバから正の電位が印加される。例えば、ワード線 $WL<3>$ が選択されると、ワード線 $WL<3>$ に接続されたゲート電極を有するトランジスタがそれぞれ“オン”する。例えば、ワード線 $WL<3>$ に接続されたゲート電極 $G<03>$ が選択され、トランジスタ $TR<03>$ が“オン”状態となる。

【0032】

これにより、プリチャージレベルのビット線 $BL<0>$ と、メモリセル $MC<03>$ のトレンチキャパシタ $TC<03>$ の一方の電極であるストレージ電極とが電氣的に接続される。

【0033】

このとき、メモリセル $MC<03>$ のトレンチキャパシタ $TC<03>$ に電荷が蓄積されていると、メモリセル $MC<03>$ のトレンチキャパシタ $TC<03>$ からビット線 $BL<0>$ に電荷が放電される。この結果、ビット線 $BL<0>$ の電位はプリチャージレベル ($VDD/2$) の他のビット線に比べて電位が高くなる。これに対し、トレンチキャパシタ $TC<03>$ に電荷が蓄積されていないと、ビット線 $BL<0>$ からトレンチキャパシタ $TC<03>$ に電荷が供給されて放電される。これによって、ビット線 $BL<0>$ の電位はプリチャージレベル ($VDD/2$) の他のビット線に比べて電位が低くなる。そして、この先に接続されたセンスアンプによって上記電位差が検知・増幅されることによって、“1”または“0”の読み出し動作がなされる。この際、読み出した“1”または“0”のデータに応じて、メモリセル $MC<03>$ 中のトレンチキャパシタ $TC<03>$ に“1”または“0”のデータが再書き込みされる（データリフレッシュ

）。

【0034】

次に、データの書き込み動作について説明する。まず、センスアンプからビット線BL<0>に書き込みデータの“1”または“0”に応じてVDDレベルまたは0Vが印加される。ここで、ワード線WL<3>が選択されると、トランジスタTR<03>が“オン”状態となり、ビット線BL<0>とトレンチキャパシタTC<03>のストレージ電極が電氣的に接続される。

【0035】

そして、ビット線BL<03>からトランジスタTR<03>を介してトレンチキャパシタTC<03>に電荷が充電、またはトレンチキャパシタTC<03>から電荷が放電され、書き込み動作がなされる。他のメモリセルMCの動作についても同様である。

【0036】

上記のように、上記サーフェスストラップSSは、ソース領域Sが形成されたピラーFINの上面だけでなく側面にも接するように形成されている。従って、ソース領域Sが形成されたピラーFINの側壁71は、サーフェスストラップSSと接している。このように、ピラーFIN内に形成されたソース領域Sの上面及び側面と接するサーフェスストラップSSを介して、トレンチキャパシタTCの一方の電極（ストレージ電極50）に電氣的に接続される。即ち、コンタクト部分がピラーFINの上面だけでなく側面にも形成され、広い面積で接触している。

【0037】

その結果、サーフェスストラップSSとソース領域Sの間に発生するコンタクト抵抗を低減することが出来る。さらに、コンタクト抵抗が低減することにより、データ保持特性及び書き込み／読み出し動作速度を向上することが出来る。

【0038】

また上記のように、SOG膜70の上面はピラーFINの上面よりも低くなるように形成され、さらにSOG膜70の上にサーフェスストラップSSが形成される。そのため、ピラーの側面において、上記ゲート電極Gとサーフェスストラ

ップSSとの間には、上記SOG膜70が形成される。その結果、ゲート電極GとサーフェスストラップSSの電氣的絶縁を酸化膜(SOG膜70)によって行うことが出来る。

【0039】

さらに、上記のようにワード線WLの側壁には酸化膜で形成されたスペーサ73が形成される。従って、ゲート電極に接続されるワード線の側壁の絶縁は、酸化膜で形成されるスペーサ73により行うことが出来る。

【0040】

次に、この発明の第1の実施形態に係る半導体装置の製造方法について、図1乃至図6に示したフィンゲート構造のMOSFETとトレンチキャパシタを有するメモリセルの製造方法を例にとって説明する。以下の説明において、図7(a)～図33(a)、図7(b)～図33(b)、図7(c)～図33(c)、及び図7(d)～図33(d)を用いて説明する。

【0041】

図7(a)～図33(a)はそれぞれ、図5におけるA-A'線に沿った断面の製造工程を順次示す断面構造図である。図7(b)～図33(b)はそれぞれ、図5におけるB-B'線に沿った断面の製造工程を順次示す断面構造図である。図7(c)～図33(c)はそれぞれ、図5におけるC-C'線に沿った断面の製造工程を順次示す断面構造図である。図7(d)～図33(d)はそれぞれ、図5におけるD-D'線に沿った断面の製造工程を順次示す断面構造図である。

【0042】

まず、図7(a)～(d)に示すように、P型シリコン基板11の主表面上に、例えば熱酸化によってシリコン酸化膜12を例えば2nm程度の厚さで堆積形成する。さらに、このシリコン酸化膜12上に、シリコンナイトライド膜30を例えば70nm程度の厚さで堆積形成する。上記シリコンナイトライド膜30の上に、反応ガスにTEOS (Tetra Ethyl Ortho Silicate) を用いたCVD (Chemical Vapor Deposition) 法によってTEOS-SiO₂膜31を例えば550nm程度の厚さに堆積形成する。さらに、上記TEOS-SiO₂膜31上に

、絶縁膜系のハードマスク膜32を例えば300nm程度、SOG膜33を例えば10nm程度の厚さに形成する。これらハードマスク膜32及びSOG膜33は、TEOS-SiO₂膜31に後述するトレンチを正確に形成するためのものである。次に、上記SOG膜33上にフォトレジスト34を塗布し、露光及び現像を行ってこのフォトレジスト34に素子分離領域(STI:Shallow Trench Isolation)領域を形成するためのパターンを形成する。上記素子分離領域の幅は、例えば90nm～110nm程度であり、90nm～110nmの間隔で配置される。尚、上記シリコン酸化膜12は化学処理により形成した薄膜の組成のずれた酸化膜でもよい。

【0043】

次に、図8(a)～(d)に示すように、上記フォトレジスト34をマスクにして、SOG膜33、ハードマスク膜32及びTEOS-SiO₂膜31を、例えばRIE(Reactive Ion Etching)法によってエッチングする。その後、上記SOG膜33及びフォトレジスト34を除去する。

【0044】

次に、残存されているハードマスク膜32とTEOS-SiO₂膜31をマスクにして、シリコンナイトライド膜30、シリコン酸化膜12、及びシリコン基板11に、例えばRIE法によって幅30nm～130nm、深さ250nm程度のトレンチ35を形成する。このトレンチ35により、シリコン基板11の主表面にピラーFIN(FIN<12>)が形成され、図9(a)～(d)に示すようになる。尚、上記ピラーFINの幅は、例えば20nm～110nm程度である。

【0045】

次に、上記トレンチ35の内壁に例えば熱酸化によって酸化膜を形成する。さらに、例えばCVD法によりSiO₂を埋め込んだ後、CMP(Chemical Mechanical Polishing)法によって平坦化する。以上の工程によって、図10(a)～(d)に示すようにトレンチ35内に素子分離領域となるシリコン酸化膜36を埋め込み形成する。

【0046】

次に、図11(a)～(d)に示すようにメモリセルアレイのシリコン酸化膜36を例えばウェットエッチング法によって150nm程度エッチバックする。この時、トレンチの底部に残存されるシリコン酸化膜36の膜厚は例えば30nm程度である。

【0047】

次に、例えばイオン打ち込み法によって、メモリセルアレイにおけるシリコン酸化膜36の上部のシリコン基板11の側壁に、例えばボロン(B)を斜め方向に方向を変えて2回打ち込む。さらに、窒素雰囲気中又はプラズマ雰囲気中でチッ化し、アニーリングする。その後、例えば熱酸化によってゲート絶縁膜G_{OX}を5nm程度形成する(図示せず)。さらに、図12(a)～(d)に示すようにエッチバックされたトレンチ内部にゲート電極Gとなるポリシリコン層38を堆積形成する。さらにその後、シリコンナイトライド膜30をストッパとして、例えばCMP法によりポリシリコン層38を平坦化する。

【0048】

次に、図13(a)～(d)に示すようにシリコン基板11の全面に、例えばO₂とH₂を燃焼した低圧力の雰囲気中若しくはオゾンを含む雰囲気中において酸化膜を形成する。さらに、シリコンナイトライド膜40を100nm程度、マスク材となるBSG膜41を1600nm程度、ハードマスク膜42を700nm程度、及びSOG膜43を10nm程度、順次形成する。さらに、上記SOG膜43上にフォトレジスト44を塗布し、このフォトレジスト44の露光及び現像を行ってディープトレンチを形成するためのマスクパターンニングを形成する。尚、上記ハードマスク膜42及びSOG膜43は、BSG膜41を正確にエッチングするために形成されている。

【0049】

次に、上記フォトレジスト44をマスクとして、例えばRIE法によりSOG膜43、ハードマスク膜42、BSG膜41、シリコンナイトライド膜40、シリコンナイトライド膜30、及びシリコン酸化膜12を順次エッチングして、ディープトレンチを形成するためのマスクとなるトレンチ45を形成する。その後、図14(a)～(d)に示すように、上記フォトレジスト44及びSOG膜4

3を除去する。尚、この工程において、シリコンナイトライド30とシリコンナイトライド膜40の間に形成された図示しない上記酸化膜があるために、シリコンナイトライド膜40のみを選択的に除去することが出来る。

【0050】

次に、図15(a)～(d)に示すように例えば低選択比エッチング法によって、メモリセルアレイのポリシリコン層38及びシリコン酸化膜36をエッチングする。

【0051】

次に、図16(a)～(d)に示すようにシリコン基板11を例えばRIE法によってエッチングし、ディープトレンチ46を形成する。さらに、ポストクリーニングを行う。尚、上記ディープトレンチ46の深さは、例えば6 μ m程度である。

【0052】

次に、図17(a)～(d)に示すようにハードマスク膜42及びBSG膜41を除去する。さらにポリシリコン層38を全て酸化する。その後、シリコン基板11を例えば1100℃程度で熱酸化することによって、トレンチ46内部に酸化膜を形成する。さらに、トレンチ46内部にシリコンナイトライド膜を形成し、トレンチ46の上部の上記図示しないシリコンナイトライド膜を除去する。その後、再び例えば熱酸化によりシリコンナイトライド膜が除去された部分のみ選択的にカラー絶縁膜47を形成する。尚、上記カラー絶縁膜47の最終的な膜厚は例えば25nm～30nm程度である。このような工程により、所望のカラー絶縁膜47の膜厚を制御することが出来る。

【0053】

次に、図18(a)～(d)に示すように上記ディープトレンチ46の底部48を例えばケミカルドライエッチング法により30nm程度エッチングして底部を広くする。さらに、気相反応によりディープトレンチ46内部にAs(ヒ素)もしくはP(リン)を吸着及び拡散させ、シリコン基板11内にN⁺型拡散領域49(プレート電極)を形成する。引き続き、ディープトレンチ46の底部48の内壁に沿ってキャパシタ絶縁膜を形成する。さらに、このディープトレンチ4

6内にポリシリコン層50（ストレージ電極）を埋め込み形成する。その後、上面を例えばCMP法によって平坦化する。

【0054】

次に、図19（a）～（d）に示すように上記ポリシリコン層50を、例えばRIE法で50nm程度エッチバックする。さらにエッチバックによって形成された窪みに、例えば反応ガスにTEOSを用いたCVD法によってTEOS-SiO₂からなる埋め込み絶縁膜51を200nm程度堆積形成する。その後、例えばCMP法によって、埋め込み絶縁膜51の一部及びシリコンナイトライド膜40を除去し、ポリシリコン層38の上面が現れるまで平坦化する。

【0055】

次に、図20（a）～（d）に示すように全面にポリシリコン層52を70nm程度の厚さに堆積形成する。さらに、上記ポリシリコン層52に、イオン打ち込み法により、例えばB（ボロン）を5keVで $2 \times 10^{15} / \text{cm}^3$ の条件でドーピングする。さらに、上記ポリシリコン層52上に、キャップ材となるBSG膜53を150nm程度の厚さに堆積形成する。

【0056】

次に、図21（a）～（d）に示すように上記BSG膜53上にフォトリソistを塗布し、このフォトリソistに露光及び現像などの処理を行い所望のパターンを形成する（図示せず）。さらに、上記フォトリソistをマスクとして例えばRIE法により、素子領域にのみポリシリコン層38残存するように、BSG膜53、ポリシリコン層52、及びポリシリコン層38を順次エッチングする。ここで、ポリシリコン層38が除去された素子分離領域5は、後で形成されるビット線BLに沿って隣接するトレンチキャパシタTCを分離するための分離部となる。

【0057】

さらに、上記シリコン基板11の導電型と逆導電型の不純物イオン、例えばリン（P）あるいはヒ素（As）をイオン打ち込み法により基板11中に導入する。その後、アニールして拡散させることによって、トランジスタTRの活性化領域であるソース領域S及びドレイン領域Dを形成する。

【0058】

次に、図22(a)～(d)に示すように例えば塗布法により全面に例えばSOG膜70(塗布系の酸化膜)を形成する。この工程において、ソース領域Sが形成されたピラーFINの側壁を上記SOG膜70で完全に埋め込む。

【0059】

次に、図23(a)～(d)に示すように上記SOG膜70を例えばウェットエッチングにより、シリコンナイトライド膜30の表面までエッチバックする。

【0060】

次に、図24(a)～(d)に示すように例えばLP-CVD(Low-Pressure CVD)法により、TEOS膜72を全面に堆積形成する。

【0061】

次に、図25(a)～(d)に示すように例えばRIE法により全面をエッチバックする。この工程により、ゲート電極の側壁に酸化膜のスペーサ73を形成する。

【0062】

次に、図26(a)～(d)に示すように、更に例えばRIE法によって時間等を制御してエッチングを続ける。この工程により、上記スペーサ73をマスクにしてエッチングをする為、側壁にスペーサ73を残した形でシリコンナイトライド膜30及び埋め込み絶縁膜51を自己整合的にエッチバックする。

【0063】

次に、図27(a)～(d)に示すように、例えばRIE法によりさらにエッチングすることにより、ドレイン領域D及びソース領域SとなるピラーFINの上面のシリコン酸化膜12を除去し、ピラーFINの側面のSOG膜70の上部を後退させる。以上の工程により、ソース領域SとなるピラーFINの上面及び側壁71が露出する。

【0064】

次に、図28(a)～(d)に示すように例えばCVD法によりP型の不純物が導入されたアモルファスシリコン74を例えば2200Å程度の厚さに堆積する。

【0065】

次に、図29(a)～(d)に示すように上記アモルファスシリコン74の表面を例えばCMP法により平坦化する。

【0066】

次に、図30(a)～(d)に示すようにフォトレジスト75を塗布し、露光及び現像を行ってこのフォトレジスト75が活性化領域上に残るパターンを形成する。

【0067】

次に、上記フォトレジスト75をマスクにして例えばRIE法によりアモルファスシリコン74をエッチングする。その後、図31(a)～(d)に示すように、上記フォトレジスト75を除去する。以上のような工程により、サーフェストラップSS ($SS<03>$ 、 $SS<12>$ 、 $SS<23>$)を形成する。上記工程により、サーフェストラップSS ($SS<12>$)は、ソース領域S ($S<12>$)が形成されたピラーFINの上面及び側面と接するように形成される。

【0068】

次に、図32(a)～(d)に示すようにさらに例えば塗布法によりSOG膜65を全面に形成する。その後、例えばCMP法によって上記SOG膜65を平坦化する。尚、以上の工程において上記SOG膜65を例えばBPSG膜とすることも可能である。

【0069】

次に、図33(a)～(d)に示すように、例えばCVD法によりTEOS膜76を全面に堆積形成する。さらに、例えばRIE法により、ドレイン領域D ($D<03>$ 、 $D<04>$)上に形成されたアモルファスシリコン74にコンタクトホールを形成する。さらに、このコンタクトホールに例えばW(タングステン)等を埋め込むことによりビット線コンタクトBC ($BC<03>$)を形成する。そして、上記TEOS膜76上にビット線BLを形成し、上記ビット線コンタクトBCを介してMOSFET TRのドレイン領域Dと電氣的に接続する。

【0070】

以上の製造工程により、図1乃至図6で示したDRAMを形成する。

【0071】

上記の製造工程においては、図27(a)～(d)に示したように、例えばRIE法によりさらにエッチングすることにより、ドレイン領域D及びソース領域SとなるピラーFINの上面のシリコン酸化膜12を除去し、ピラーFINの側面のSOG膜70の上部を後退させている。この工程により、ソース領域SとなるピラーFINの上面及び側壁71を露出することが出来る。そのため、ピラーFINの側壁71の絶縁膜を除去することが出来る。

【0072】

また、図28(a)～(d)に示したようにフォトレジスト75を塗布し、露光及び現像を行ってこのフォトレジスト75が活性化領域上に残るパターンを形成する。上記の工程により、ラインアンドスペースのフォトレジストパターンを用いてサーフェストラップSSを形成することが出来る。従って、マスク形成が単純となり、製造コストを低減することが出来る。

【0073】

また、図22(a)～(d)に示したように、例えば塗布法により全面に例えばSOG膜70を形成し、ソース領域Sが形成されたピラーFINの側壁を上記SOG膜70で完全に埋め込む。上記の工程により、ソース領域Sが形成されたピラーFINの側壁71をSOG膜70で完全に埋め込むことが出来る。そのため、その後に側壁となるスペーサ73を形成する工程において、TEOS膜72が上記ソース領域が形成されたピラーFINの側壁71に入り込むことはない。そのため、ピラーFINの側部71に上記TEOS膜72が残存すること排除することが出来る。

【0074】

さらに、上記のように塗布法による酸化膜を用いることにより、ゲートコンタクトのパターン（ポリシリコン層52及びBSG膜53のパターン）によらず平坦に形成することが出来る。尚、上記のSOG膜70は、例えば塗布法で形成されたSiO₂膜等の塗布系の酸化膜や、CVD法により形成されるSiO₂膜等を用いることも可能である。

【 0 0 7 5 】

さらに、上記のように本実施形態ではフィンゲート構造のMOSFETを形成するためのピラーFINを先に形成し、その後トレンチキャパシタTCを形成する。そのため、ポリシリコン層50をエッチングする深さを時間や温度等を制御することによって、十分深く形成することが出来る。このエッチングの深さは、その後形成される埋め込み絶縁膜51の膜厚となる。従って、上記のような製造方法によれば、所望の埋め込み絶縁膜51の膜厚を自由に設定することが出来る。

【 0 0 7 6 】

[第2の実施形態]

次に図34及び図35を用いて、この発明の第2の実施形態に係るDRAMの断面構造を説明する。図34は上記図1と同様の方向から見た断面構造図である。図35は上記図2と同様の方向から見た断面構造図である。尚、以下の説明において、上記第1の実施形態と同様の部分の記載は省略する。

【 0 0 7 7 】

図34及び図35に示すように、アモルファスシリコン74の上にシリサイド膜74Sが形成される。図35に示すように、ポリシリコン層52の上にシリサイド膜52Sが形成される。さらに、BPSG膜81の下面の全面にバリアシリコン窒化膜80が形成される。

【 0 0 7 8 】

上記のように、アモルファスシリコン74の上にシリサイド膜74Sが形成される。ポリシリコン層52の上にシリサイド膜52Sが形成される。上記のような構成により、サーフェストラップSSのコンタクト抵抗値をさらに低減することが出来る。

【 0 0 7 9 】

また上記のように、全面にバリアシリコン窒化膜80が形成される。そのため、メモリセルアレイの全体の絶縁性が向上し、メモリセルの信頼性を向上することが出来る。

【 0 0 8 0 】

次に、この第2の実施形態に係る半導体装置の製造方法について、図34及び図35に示したフィンゲート構造のMOSFETとトレンチキャパシタを有するメモリセルの製造方法を例にとって説明する。以下の説明において、図36(a)～図42(a)、図36(b)～図42(b)、図36(c)～図42(c)、及び図36(d)～図42(d)を用いて説明する。

【0081】

図36(a)～図42(a)は、上記図7(a)～図33(a)と同様の方向における断面の製造工程を順次示す断面構造図である。図36(b)～図42(b)は、図7(b)～図33(b)と同様の方向における断面の製造工程を順次示す断面構造図である。図36(c)～図42(c)は、上記図7(c)～図33(c)と同様の方向における断面の製造工程を順次示す断面構造図である。図36(d)～図42(d)は、図7(d)～図33(d)と同様の方向における断面の製造工程を順次示す断面構造図である。尚、以下の説明において、上記第1の実施形態と同様の部分の記載は省略する。

【0082】

まず、図36(a)～(d)に示すように第1と同様の製造工程により、サーフェストラップSSとなるアモルファスシリコン74をピラーFINの側面及び上面と接するように形成する。さらに、例えば塗布法によりSOG膜65を全面に形成する。その後、例えばCMP法によって上記SOG膜65を平坦化する。尚、以上の工程において上記SOG膜65を例えばBPSG膜とすることも可能である。

【0083】

次に、図37(a)～(d)に示すようにワード線となるポリシリコン層52の上に形成されていたBPSG膜53を例えば熱燐酸により選択的に除去する。

【0084】

次に、図38(a)～(d)に示すように例えばスパッタリング法によりCo/Ti/TiN膜77を全面に堆積形成する。上記Co/Ti/TiN膜77の膜厚は、例えばそれぞれ120/200/200Å程度である。

【0085】

次に、図39(a)～(d)に示すように例えば熱工程を行うことにより、ワード線となるポリシリコン層52上及びアモルファスシリコン74上に、選択的にシリサイド膜52S及びシリサイド膜74Sを形成する。その後、SOG膜65上に堆積されたCo/Ti/TiN膜77を例えばウェットエッチング法により選択的に除去する。

【0086】

次に、図40(a)～(d)に示すようにバリアシリコン窒化膜80を例えばCVD法により全面に堆積形成する。上記バリアシリコン窒化膜80の膜厚は、例えば150Å程度である。その後、例えばCVD法によりBP SG膜81を全面に堆積形成する。

【0087】

次に、図41(a)～(d)に示すように例えばCMP法により上記BP SG膜81を平坦化する。

【0088】

次に、図42(a)～(d)に示すように例えばRIE法によりドレイン領域D(D<03>、D<04>)上に形成されたシリサイド膜74S接するように、バリアシリコン窒化膜80及びBP SG膜81にコンタクトホールを形成する。さらに、このコンタクトホールに例えばW(タングステン)等を埋め込むことによりビット線コンタクトBC(BC<03>)を形成する。そして、上記TEOS膜76上にビット線BLを形成し、上記ビット線コンタクトBCを介してMOSFET TRのドレイン領域Dと電氣的に接続する。

【0089】

以上の製造工程により、図34及び図35で示したDRAMを形成する。

【0090】

上記の製造工程において、図39(a)～(d)に示すように例えば熱工程を行うことにより、ワード線となるポリシリコン層52上及びアモルファスシリコン74上に、選択的にシリサイド膜52S及びシリサイド膜74Sを形成する。

上記の製造工程により、ポリシリコン層52上及びアモルファスシリコン74上に、シリサイド膜52S及びシリサイド膜74Sを同時選択的に形成すること

が出来る。そのため、製造コストを低減することが出来る。

【0091】

以上、第1及び第2の実施の形態を用いて本発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0092】

【発明の効果】

以上説明したようにこの発明によれば、サーフェスストラップを用いてトレンチキャパシタとフィンゲート構造のMOSFETのソース領域又はドレイン領域とを接続する場合に、コンタクト抵抗を低減出来る半導体記憶装置及びその製造方法を提供することが出来る。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態に係る半導体記憶装置を説明するためのもので、DRAMセルにおけるワード線の延設方向に沿った断面構造図。

【図2】 この発明の第1の実施形態に係る半導体記憶装置を説明するためのもので、DRAMセルにおけるビット線の延設方向に沿った断面構造図。

【図3】 この発明の第1の実施形態に係る半導体記憶装置を説明するためのもので、メモリセルアレイの要部を模式的に示す斜視図。

【図4】 この発明の第1の実施形態に係る半導体記憶装置を説明するためのもので、フィンゲート構造のMOSFETとトレンチキャパシタを用いたメモリセルアレイを模式的に示す平面図。

【図5】 この発明の第1の実施形態に係る半導体記憶装置を説明するためのもので、図4の平面図に更にワード線、ビット線及びサーフェスストラップを

加えたメモリセルアレイを模式的に示す平面図。

【図 6】 この発明の第 1 の実施形態に係る半導体記憶装置を説明するためのもので、図 1 のピラーの一部分を拡大した断面構造図。

【図 7】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 1 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 8】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 2 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 9】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 3 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 10】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 4 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 11】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 5 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 12】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法に

における第6の工程図であり、(a)は図5におけるA-A'線に沿った断面を示す断面構造図、(b)は図5におけるB-B'線に沿った断面を示す断面構造図、(c)は図5におけるC-C'線に沿った断面を示す断面構造図、(d)は図5におけるD-D'線に沿った断面を示す断面構造図。

【図13】 この発明の第1の実施形態に係る半導体記憶装置の製造方法における第7の工程図であり、(a)は図5におけるA-A'線に沿った断面を示す断面構造図、(b)は図5におけるB-B'線に沿った断面を示す断面構造図、(c)は図5におけるC-C'線に沿った断面を示す断面構造図、(d)は図5におけるD-D'線に沿った断面を示す断面構造図。

【図14】 この発明の第1の実施形態に係る半導体記憶装置の製造方法における第8の工程図であり、(a)は図5におけるA-A'線に沿った断面を示す断面構造図、(b)は図5におけるB-B'線に沿った断面を示す断面構造図、(c)は図5におけるC-C'線に沿った断面を示す断面構造図、(d)は図5におけるD-D'線に沿った断面を示す断面構造図。

【図15】 この発明の第1の実施形態に係る半導体記憶装置の製造方法における第9の工程図であり、(a)は図5におけるA-A'線に沿った断面を示す断面構造図、(b)は図5におけるB-B'線に沿った断面を示す断面構造図、(c)は図5におけるC-C'線に沿った断面を示す断面構造図、(d)は図5におけるD-D'線に沿った断面を示す断面構造図。

【図16】 この発明の第1の実施形態に係る半導体記憶装置の製造方法における第10の工程図であり、(a)は図5におけるA-A'線に沿った断面を示す断面構造図、(b)は図5におけるB-B'線に沿った断面を示す断面構造図、(c)は図5におけるC-C'線に沿った断面を示す断面構造図、(d)は図5におけるD-D'線に沿った断面を示す断面構造図。

【図17】 この発明の第1の実施形態に係る半導体記憶装置の製造方法における第11の工程図であり、(a)は図5におけるA-A'線に沿った断面を示す断面構造図、(b)は図5におけるB-B'線に沿った断面を示す断面構造図、(c)は図5におけるC-C'線に沿った断面を示す断面構造図、(d)は図5におけるD-D'線に沿った断面を示す断面構造図。

【図 1 8】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 1 2 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 1 9】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 1 3 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 2 0】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 1 4 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 2 1】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 1 5 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 2 2】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 1 6 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 2 3】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 1 7 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は

図 5 における D-D' 線に沿った断面を示す断面構造図。

【図 2 4】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 1 8 の工程図であり、(a) は図 5 における A-A' 線に沿った断面を示す断面構造図、(b) は図 5 における B-B' 線に沿った断面を示す断面構造図、(c) は図 5 における C-C' 線に沿った断面を示す断面構造図、(d) は図 5 における D-D' 線に沿った断面を示す断面構造図。

【図 2 5】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 1 9 の工程図であり、(a) は図 5 における A-A' 線に沿った断面を示す断面構造図、(b) は図 5 における B-B' 線に沿った断面を示す断面構造図、(c) は図 5 における C-C' 線に沿った断面を示す断面構造図、(d) は図 5 における D-D' 線に沿った断面を示す断面構造図。

【図 2 6】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 2 0 の工程図であり、(a) は図 5 における A-A' 線に沿った断面を示す断面構造図、(b) は図 5 における B-B' 線に沿った断面を示す断面構造図、(c) は図 5 における C-C' 線に沿った断面を示す断面構造図、(d) は図 5 における D-D' 線に沿った断面を示す断面構造図。

【図 2 7】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 2 1 の工程図であり、(a) は図 5 における A-A' 線に沿った断面を示す断面構造図、(b) は図 5 における B-B' 線に沿った断面を示す断面構造図、(c) は図 5 における C-C' 線に沿った断面を示す断面構造図、(d) は図 5 における D-D' 線に沿った断面を示す断面構造図。

【図 2 8】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 2 2 の工程図であり、(a) は図 5 における A-A' 線に沿った断面を示す断面構造図、(b) は図 5 における B-B' 線に沿った断面を示す断面構造図、(c) は図 5 における C-C' 線に沿った断面を示す断面構造図、(d) は図 5 における D-D' 線に沿った断面を示す断面構造図。

【図 2 9】 この発明の第 1 の実施形態に係る半導体記憶装置の製造方法における第 2 3 の工程図であり、(a) は図 5 における A-A' 線に沿った断面を示す断面構造図、(b) は図 5 における B-B' 線に沿った断面を示す断面構造図、(c) は図 5 における C-C' 線に沿った断面を示す断面構造図、(d) は図 5 における D-D' 線に沿った断面を示す断面構造図。

図、(c)は図5におけるC-C'線に沿った断面を示す断面構造図、(d)は図5におけるD-D'線に沿った断面を示す断面構造図。

【図30】 この発明の第1の実施形態に係る半導体記憶装置の製造方法における第24の工程図であり、(a)は図5におけるA-A'線に沿った断面を示す断面構造図、(b)は図5におけるB-B'線に沿った断面を示す断面構造図、(c)は図5におけるC-C'線に沿った断面を示す断面構造図、(d)は図5におけるD-D'線に沿った断面を示す断面構造図。

【図31】 この発明の第1の実施形態に係る半導体記憶装置の製造方法における第25の工程図であり、(a)は図5におけるA-A'線に沿った断面を示す断面構造図、(b)は図5におけるB-B'線に沿った断面を示す断面構造図、(c)は図5におけるC-C'線に沿った断面を示す断面構造図、(d)は図5におけるD-D'線に沿った断面を示す断面構造図。

【図32】 この発明の第1の実施形態に係る半導体記憶装置の製造方法における第26の工程図であり、(a)は図5におけるA-A'線に沿った断面を示す断面構造図、(b)は図5におけるB-B'線に沿った断面を示す断面構造図、(c)は図5におけるC-C'線に沿った断面を示す断面構造図、(d)は図5におけるD-D'線に沿った断面を示す断面構造図。

【図33】 この発明の第1の実施形態に係る半導体記憶装置の製造方法における第27の工程図であり、(a)は図5におけるA-A'線に沿った断面を示す断面構造図、(b)は図5におけるB-B'線に沿った断面を示す断面構造図、(c)は図5におけるC-C'線に沿った断面を示す断面構造図、(d)は図5におけるD-D'線に沿った断面を示す断面構造図。

【図34】 この発明の第2の実施形態に係る半導体記憶装置を説明するためのもので、DRAMセルを示しており、図1と同様の方向における断面構造図。

【図35】 この発明の第2の実施形態に係る半導体記憶装置を説明するためのもので、DRAMセルを示しており、図2と同様の方向における断面構造図。

【図36】 この発明の第2の実施形態に係る半導体記憶装置の製造方法に

における第 1 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 3 7】 この発明の第 2 の実施形態に係る半導体記憶装置の製造方法における第 2 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 3 8】 この発明の第 2 の実施形態に係る半導体記憶装置の製造方法における第 3 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 3 9】 この発明の第 2 の実施形態に係る半導体記憶装置の製造方法における第 4 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 4 0】 この発明の第 2 の実施形態に係る半導体記憶装置の製造方法における第 5 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図 4 1】 この発明の第 2 の実施形態に係る半導体記憶装置の製造方法における第 6 の工程図であり、(a) は図 5 における A - A' 線に沿った断面を示す断面構造図、(b) は図 5 における B - B' 線に沿った断面を示す断面構造図、(c) は図 5 における C - C' 線に沿った断面を示す断面構造図、(d) は図 5 における D - D' 線に沿った断面を示す断面構造図。

【図42】 この発明の第2の実施形態に係る半導体記憶装置の製造方法における第7の工程図であり、(a)は図5におけるA-A'線に沿った断面を示す断面構造図、(b)は図5におけるB-B'線に沿った断面を示す断面構造図、(c)は図5におけるC-C'線に沿った断面を示す断面構造図、(d)は図5におけるD-D'線に沿った断面を示す断面構造図。

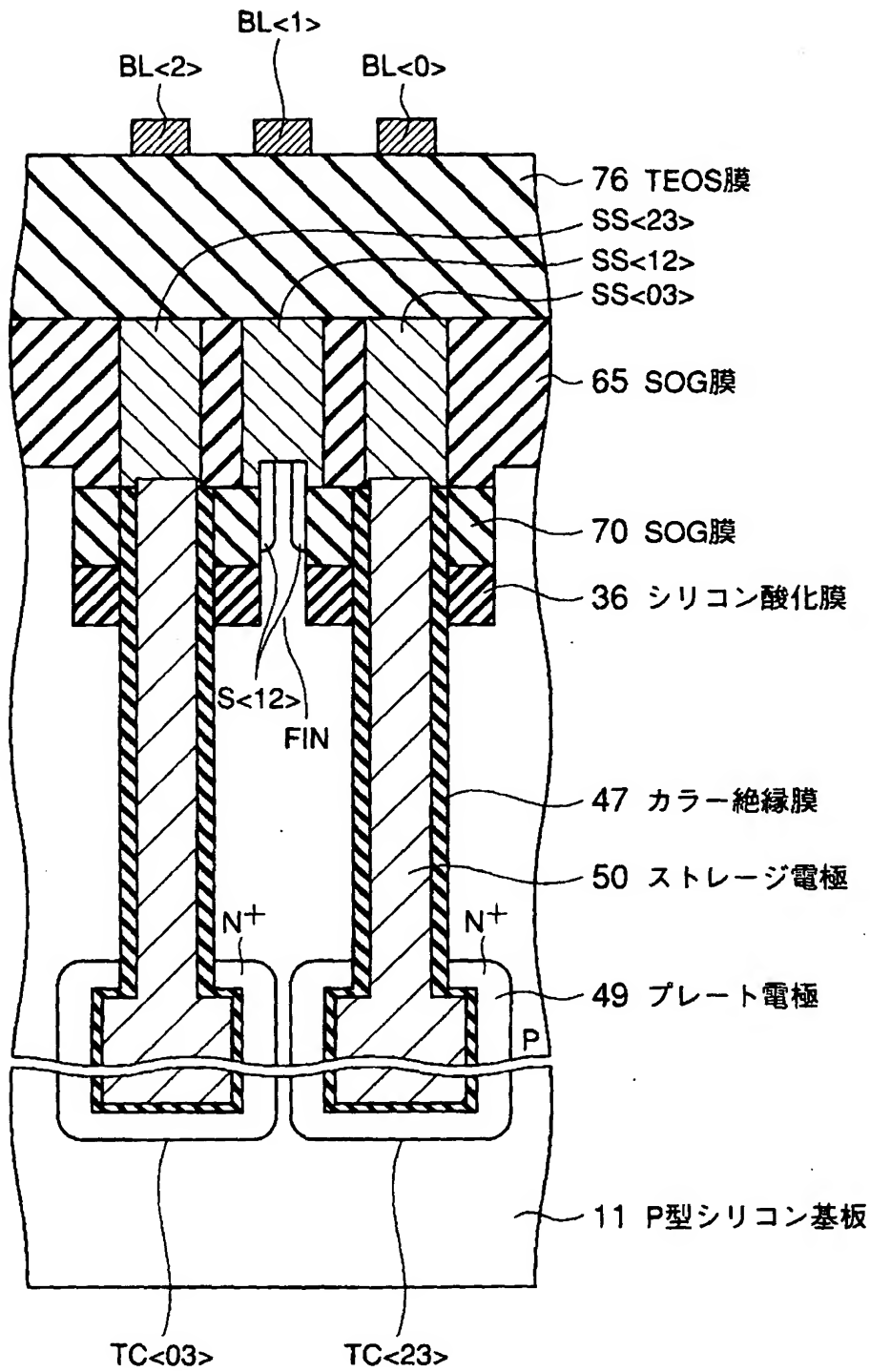
【図43】 従来技術に係るピラーに形成されたソース領域とサーフェスストラップとのコンタクトの問題点を模式的に示す断面構造図。

【符号の説明】

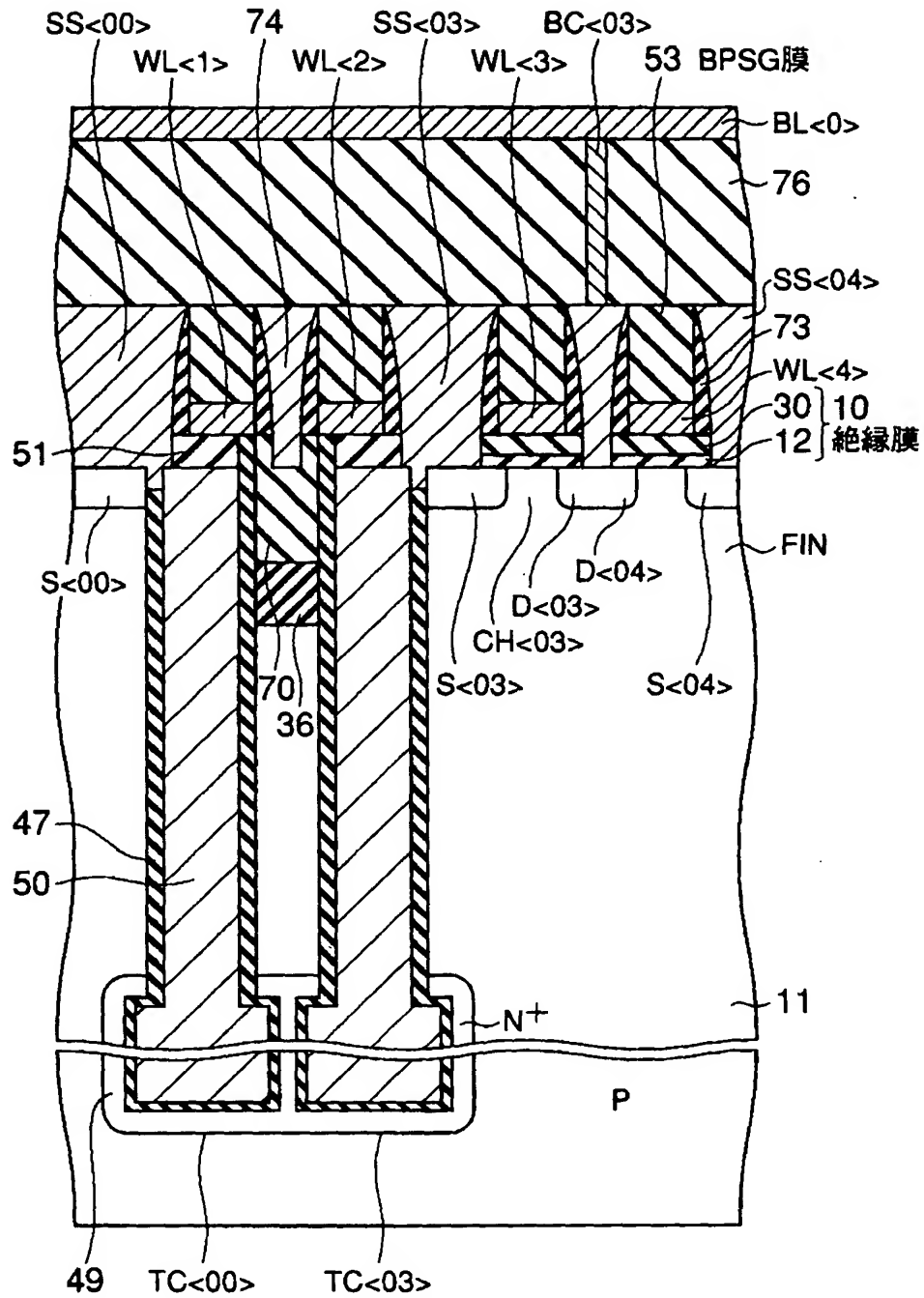
11…P型シリコン基板、FIN…ピラー、S<12>…ソース領域、TC<03>、TC<23>…トレンチキャパシタ、47…カラー絶縁膜、49…プレート絶縁膜、50…ストレージ電極、36…シリコン酸化膜、70…SOG膜、65…SOG膜、76…TEOS膜、SS<23>、SS<12>、SS<03>…サーフェスストラップ。

【書類名】 図面

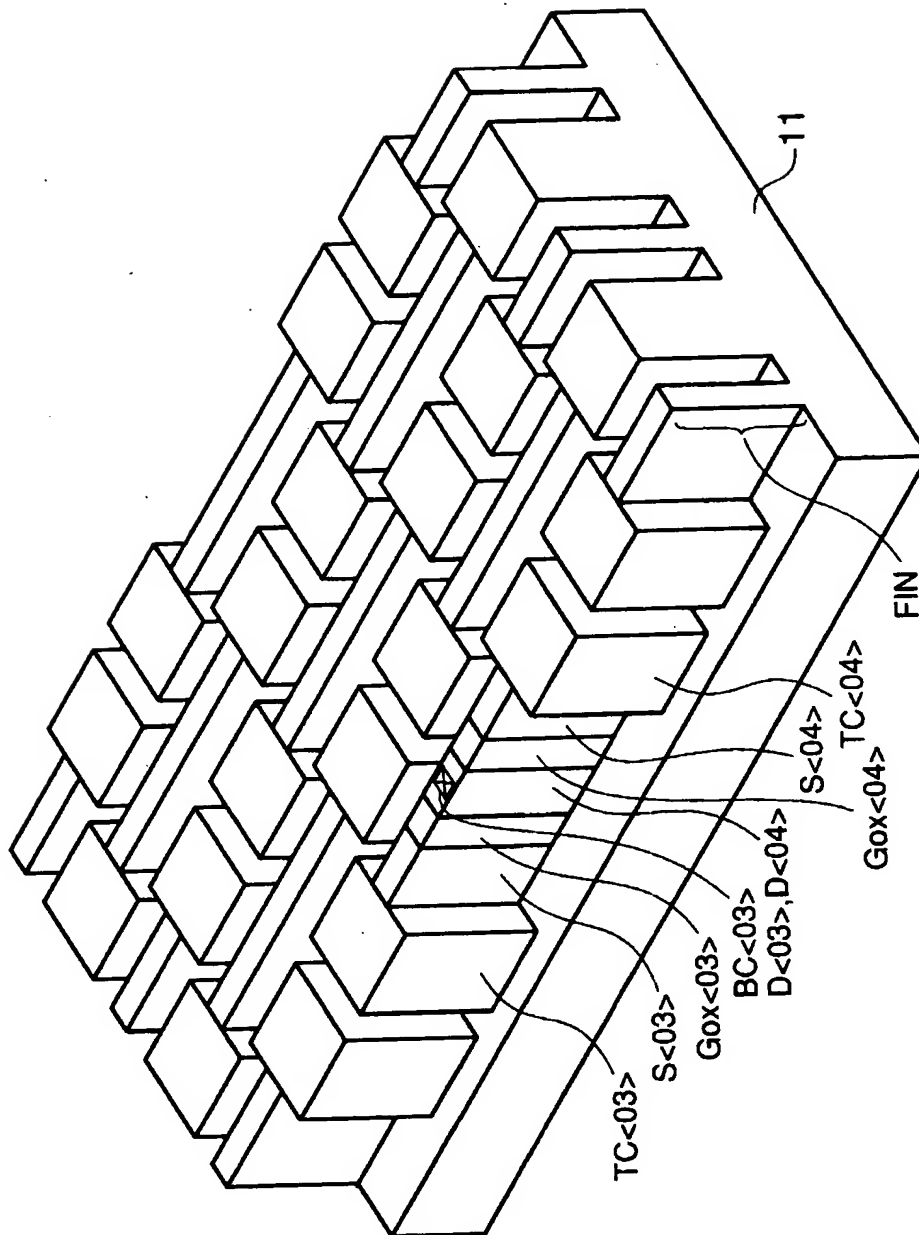
【図1】



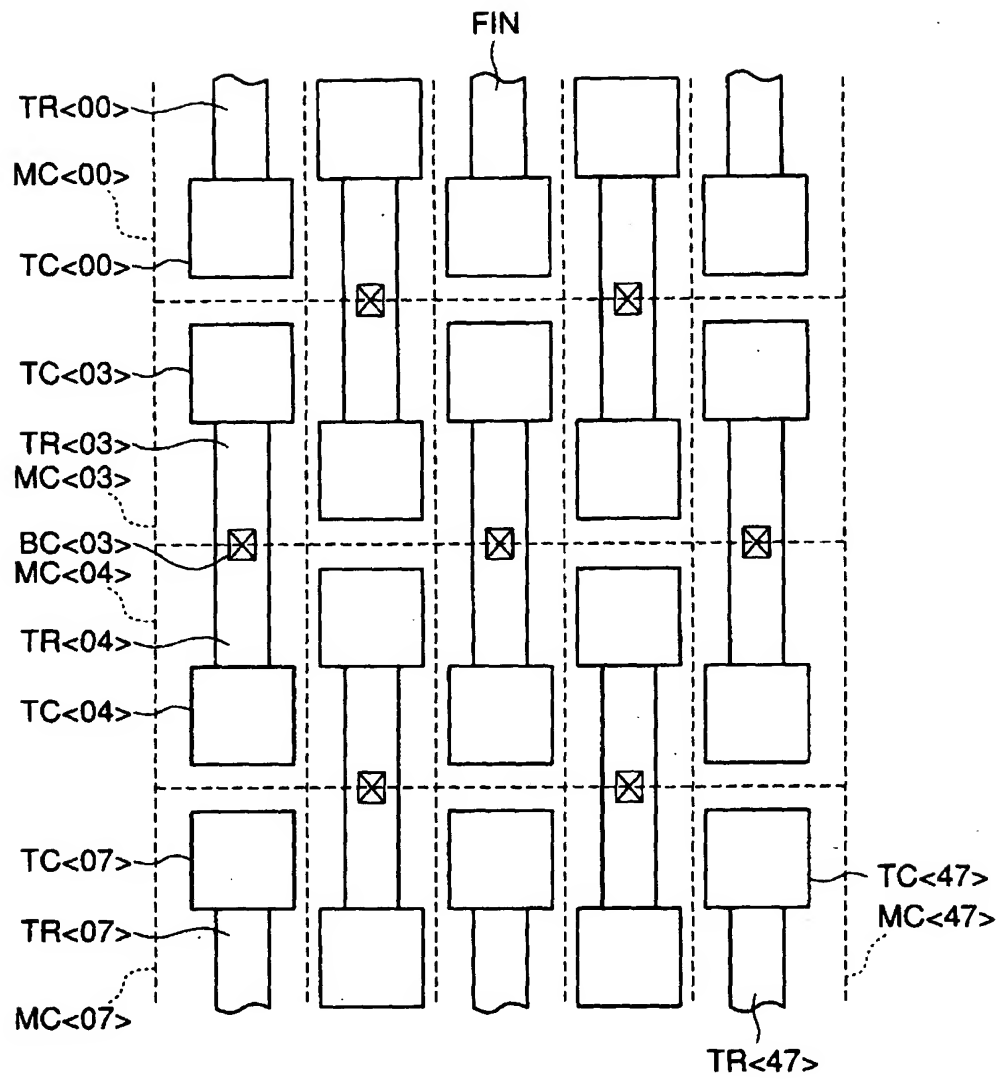
【図 2】



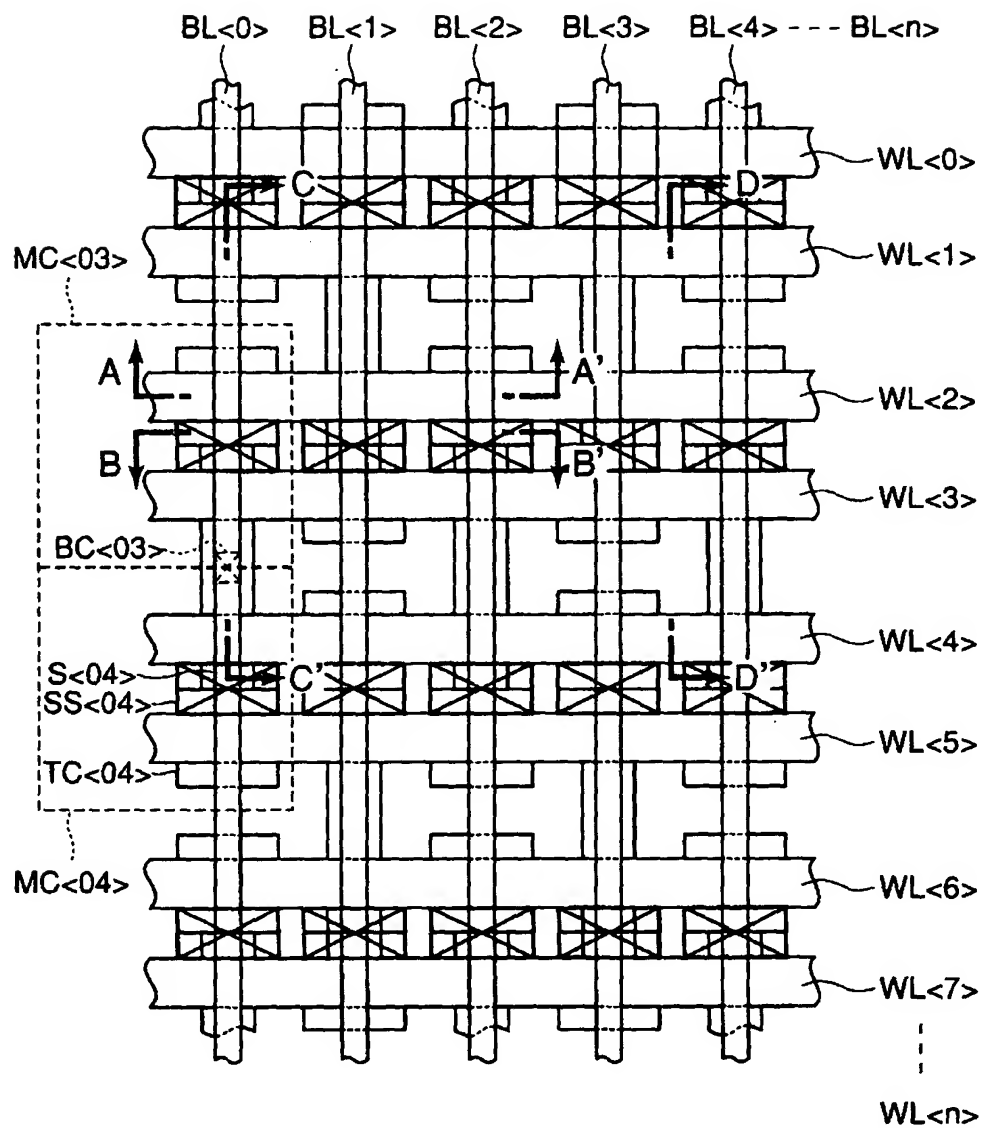
【図3】



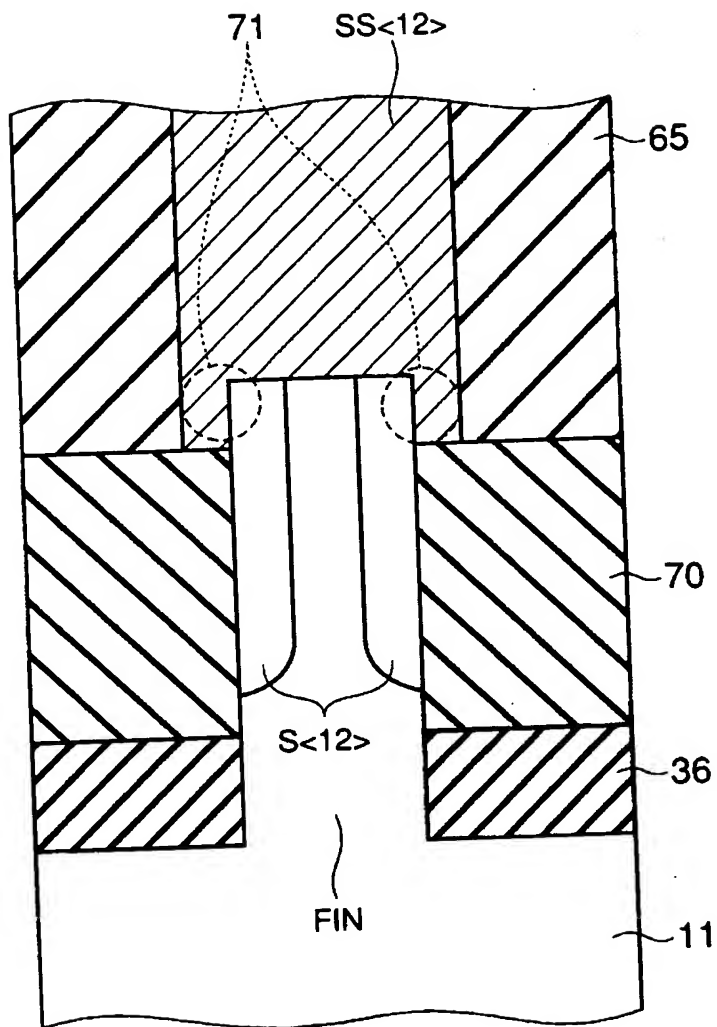
【図 4】



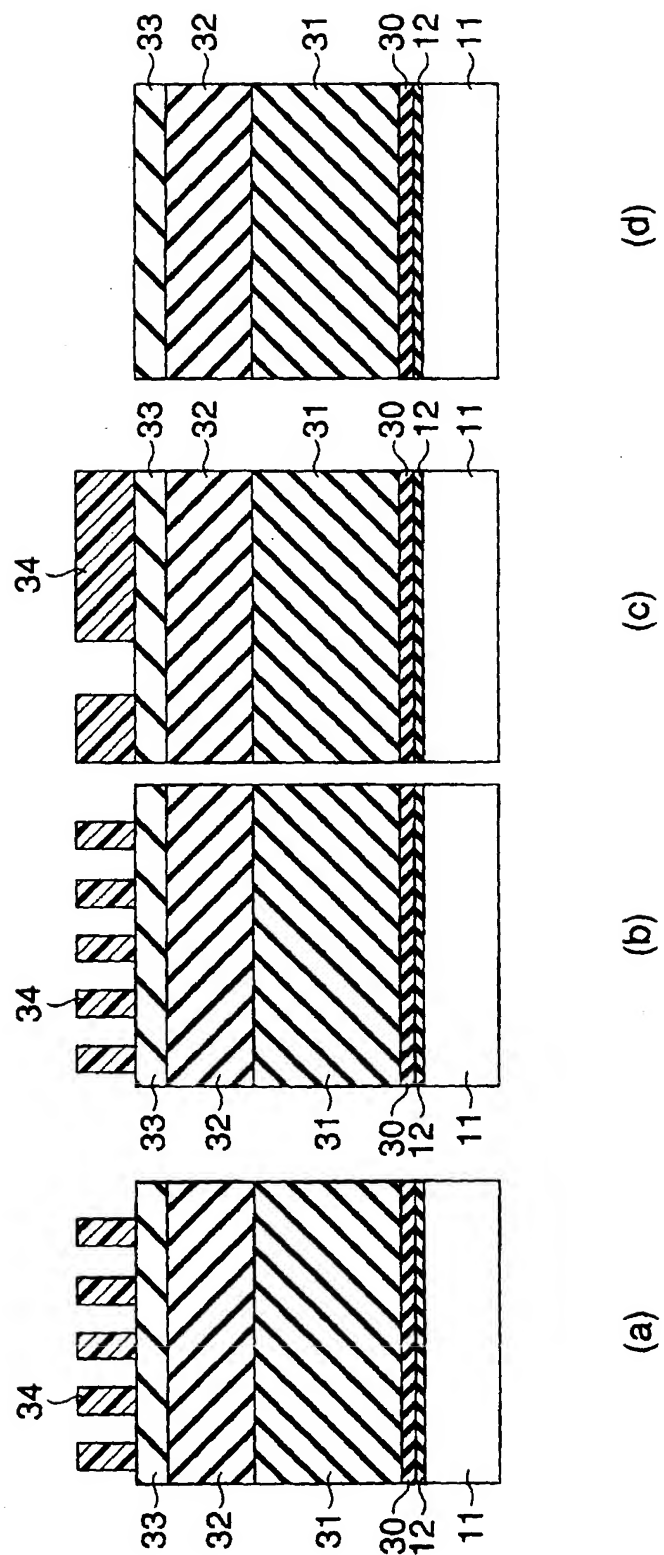
【図5】



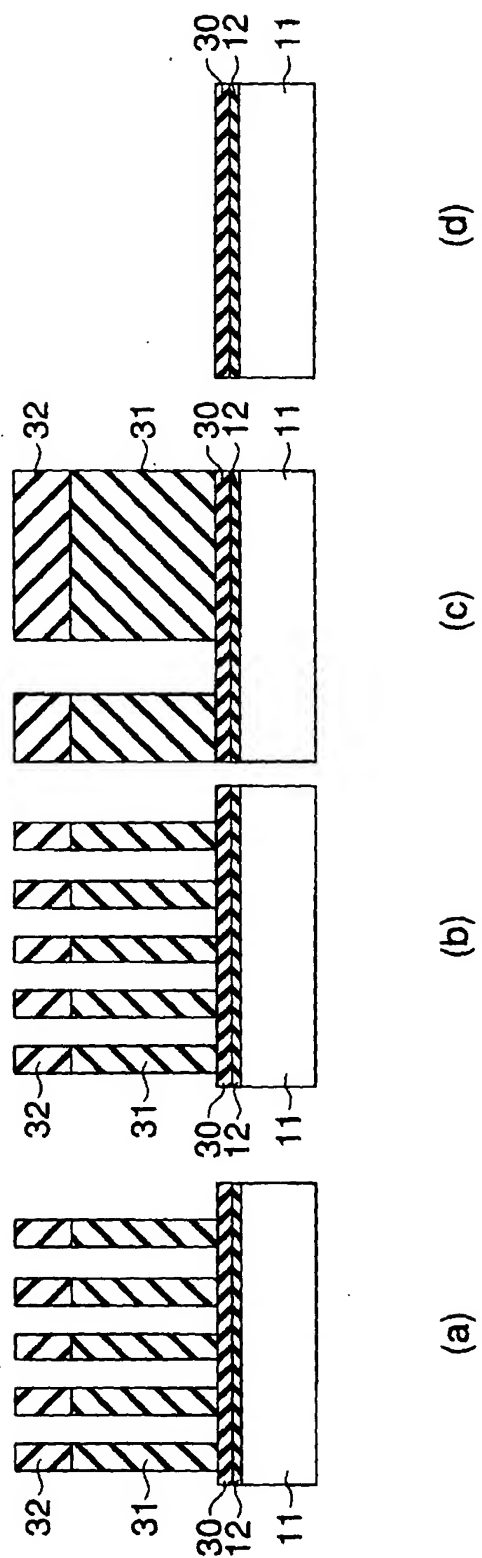
【図 6】



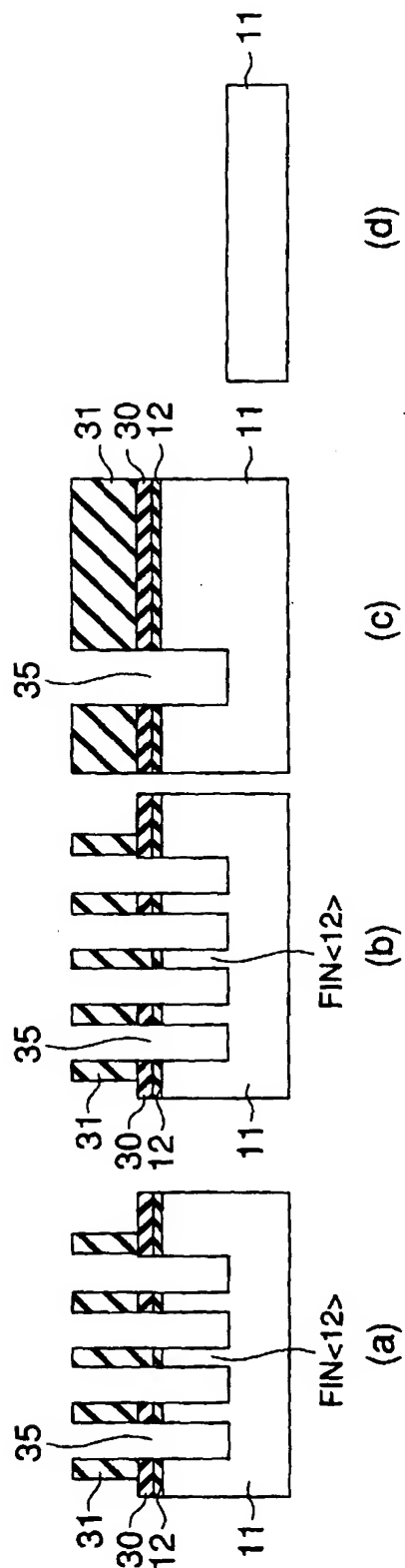
【図7】



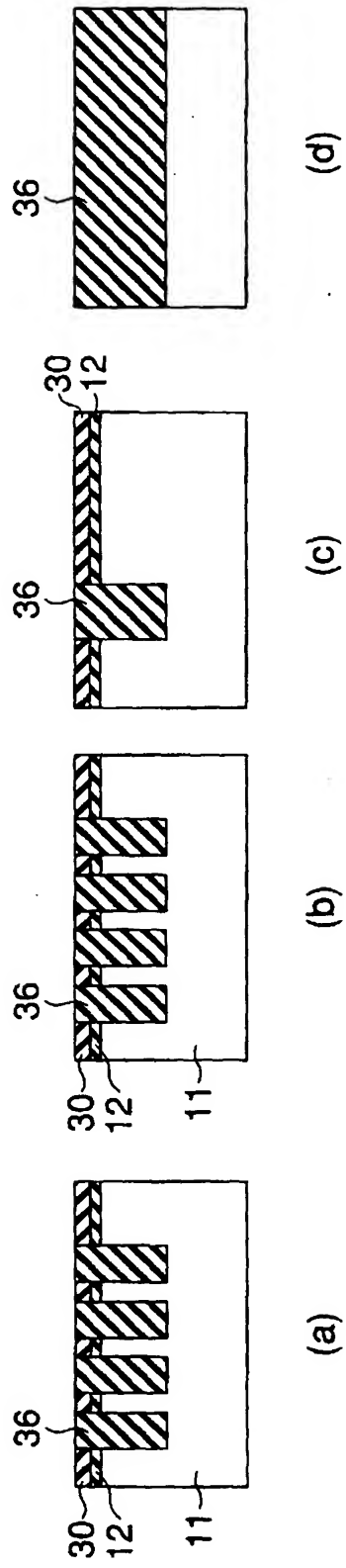
【図8】



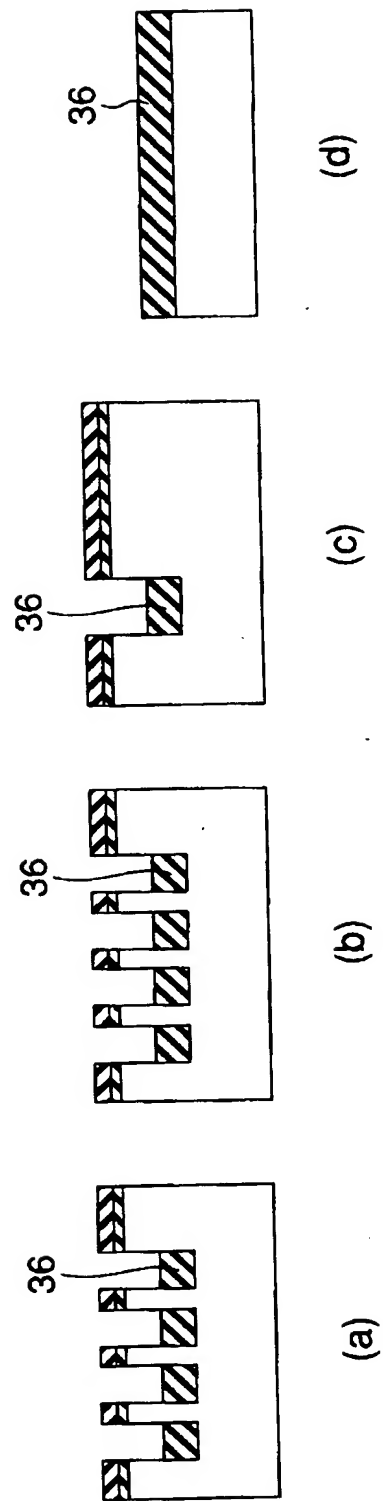
【図9】



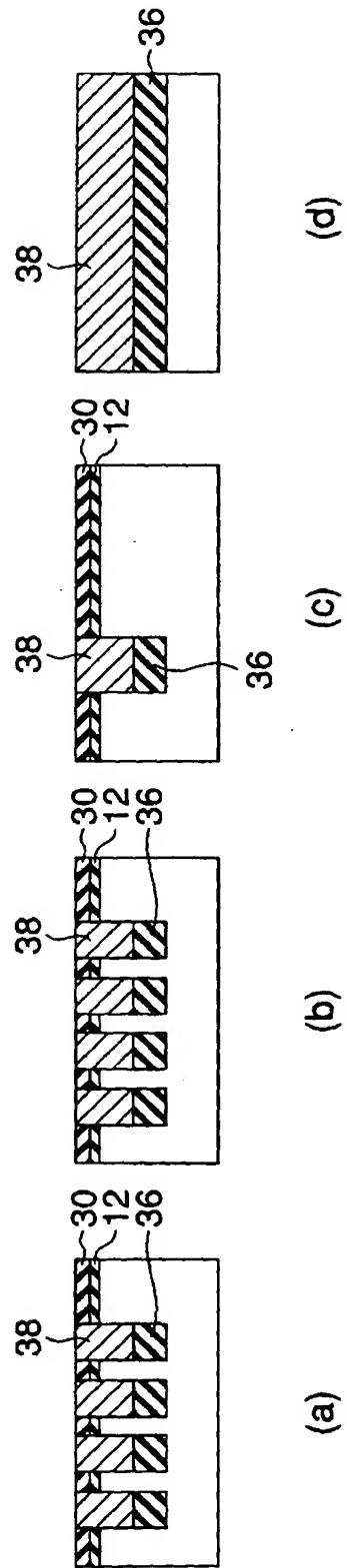
【図 1 0】



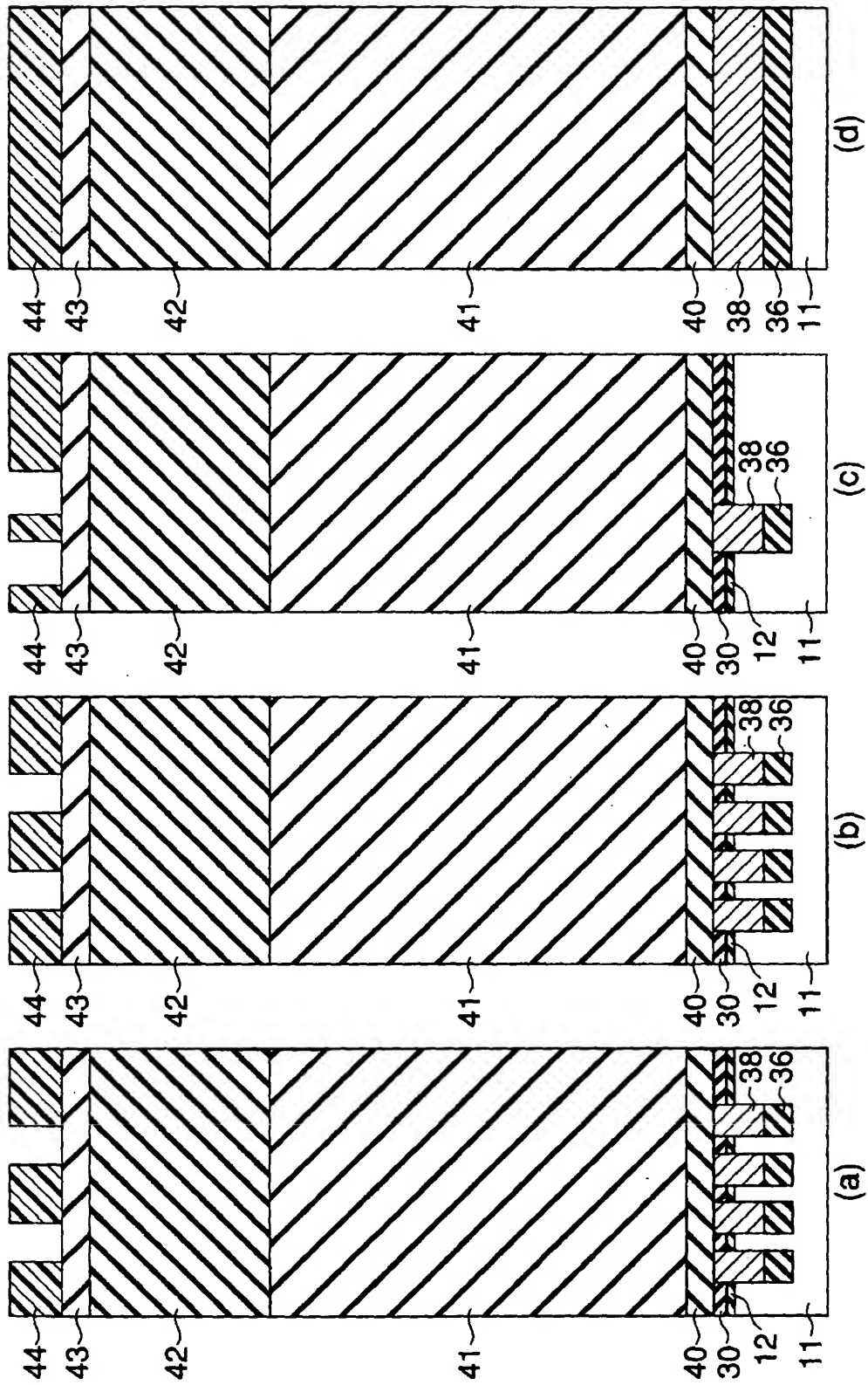
【図 1 1】



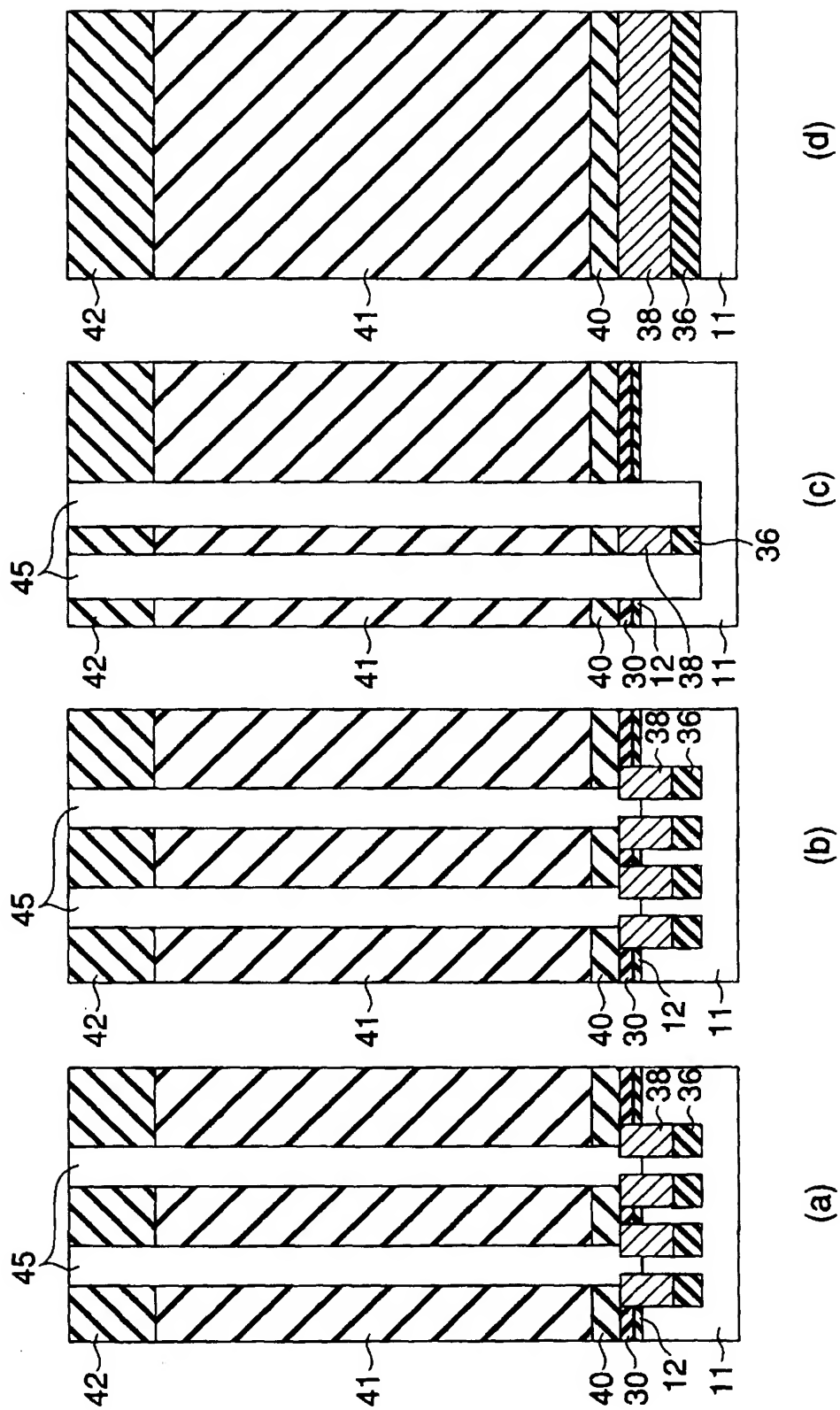
【図12】



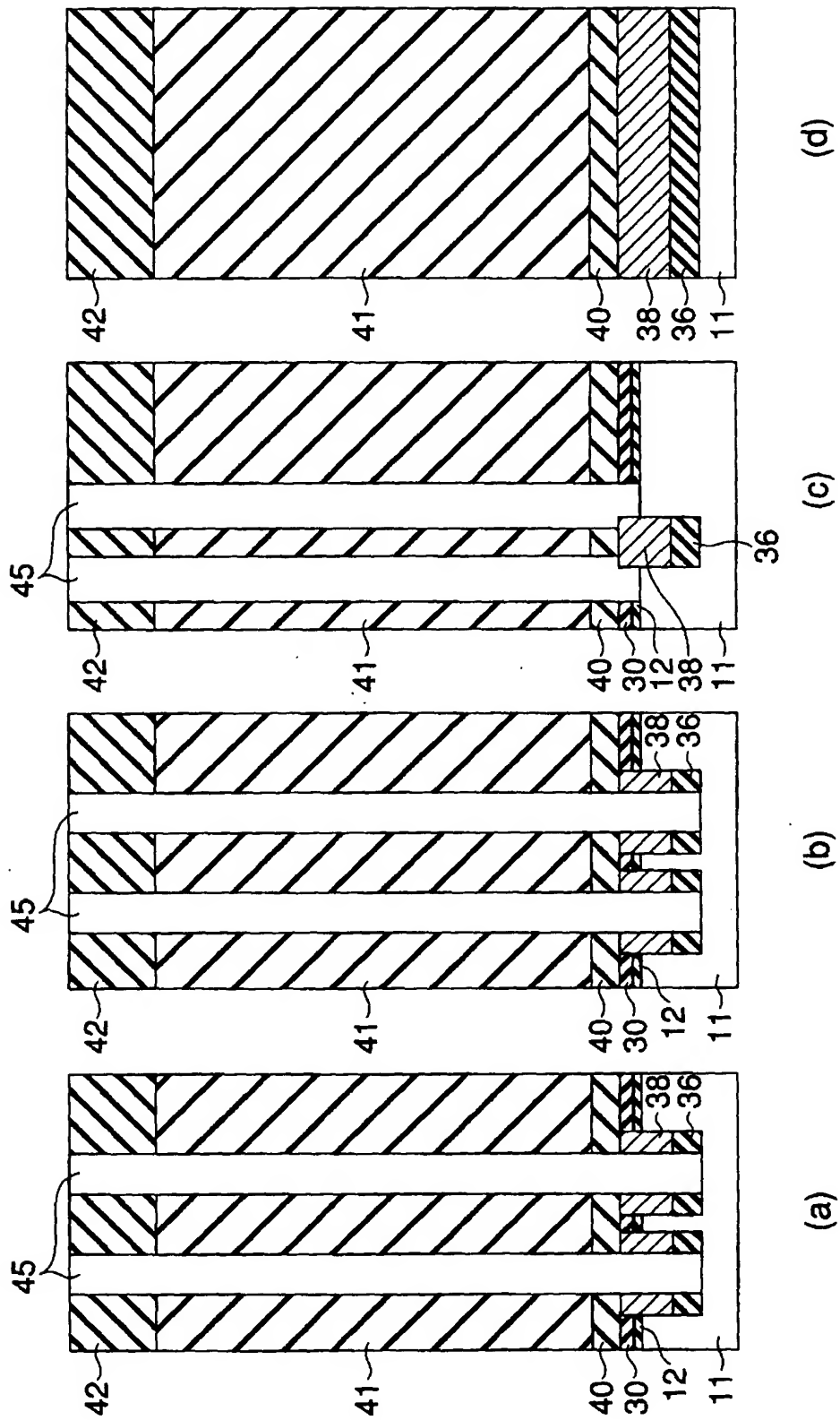
【図13】



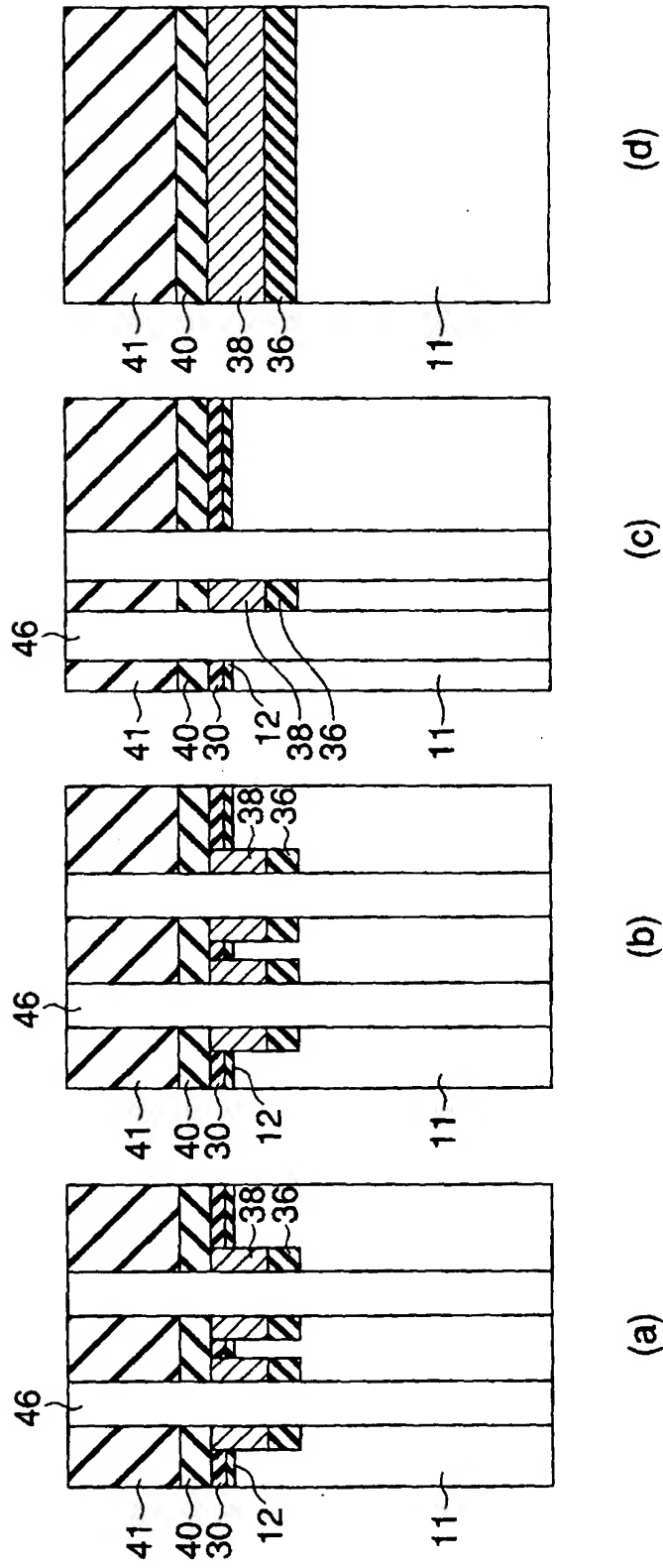
【図14】



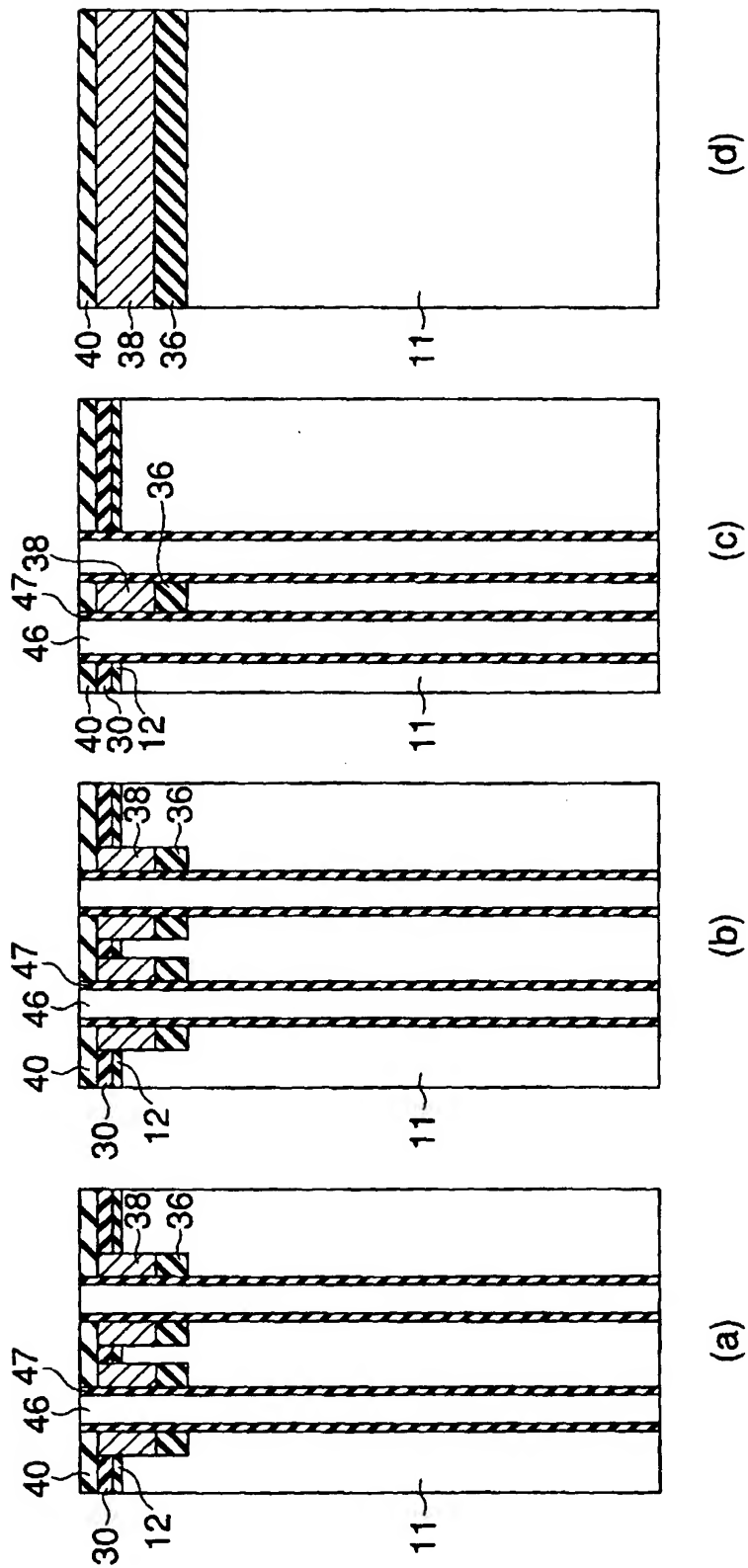
【図15】



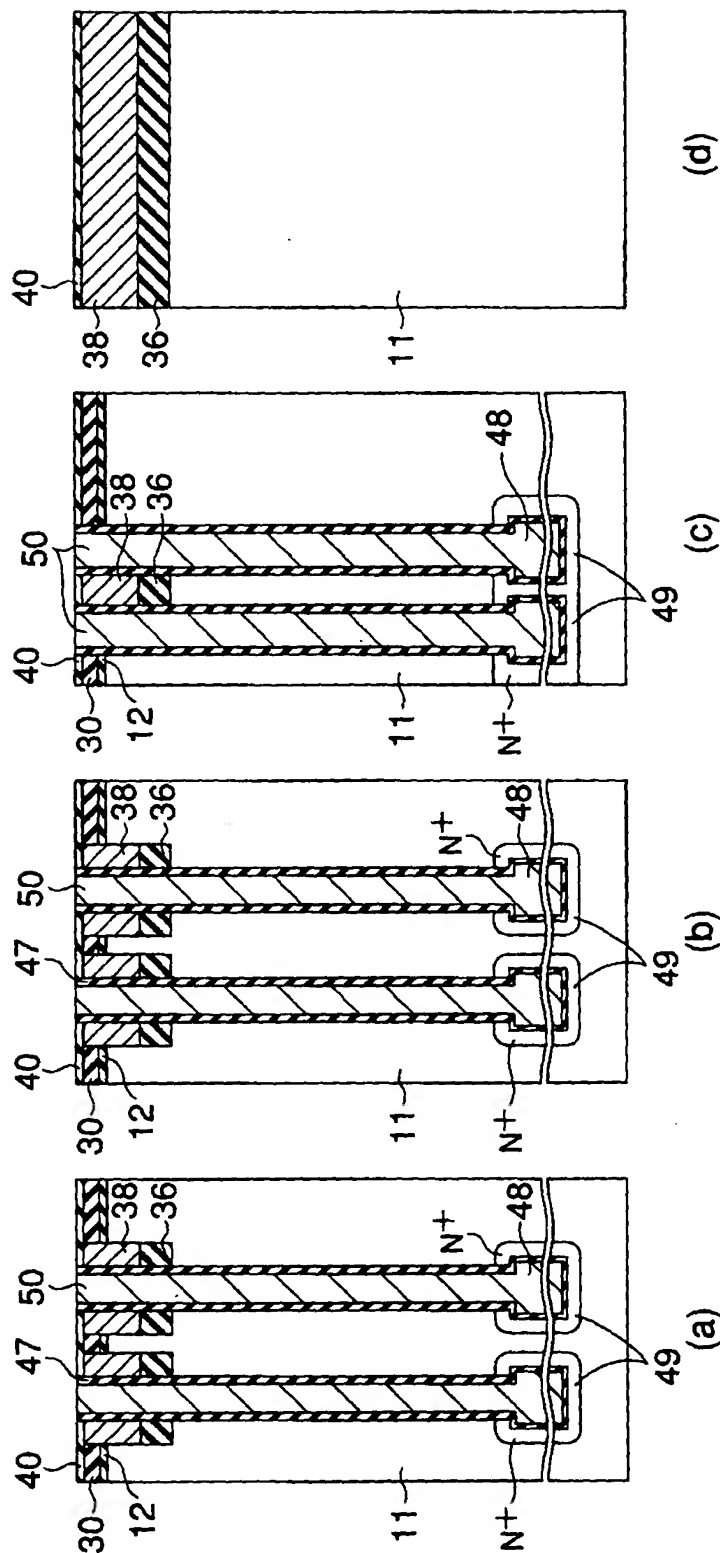
【図16】



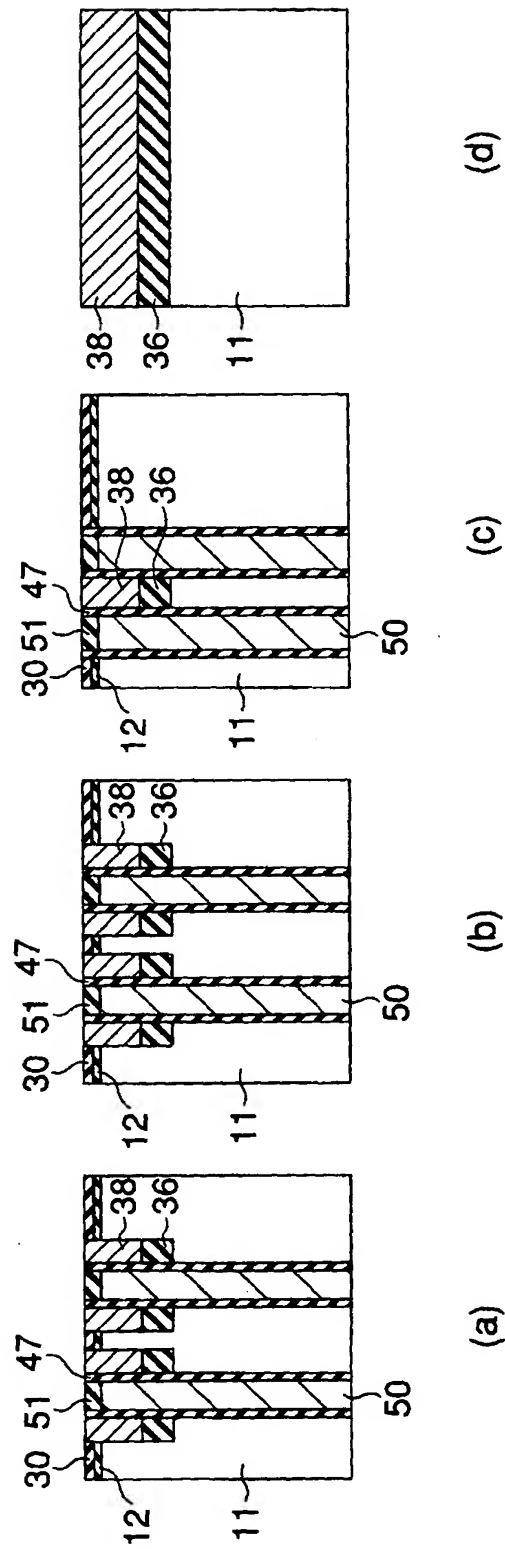
【図 17】



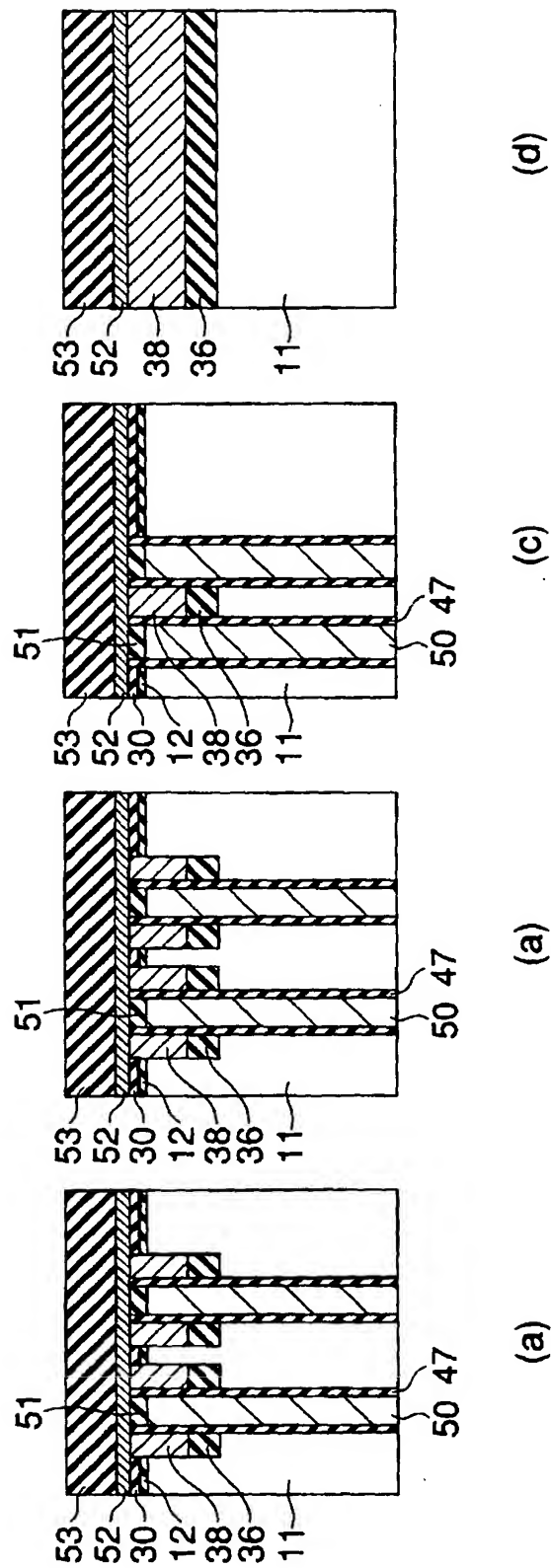
【図18】



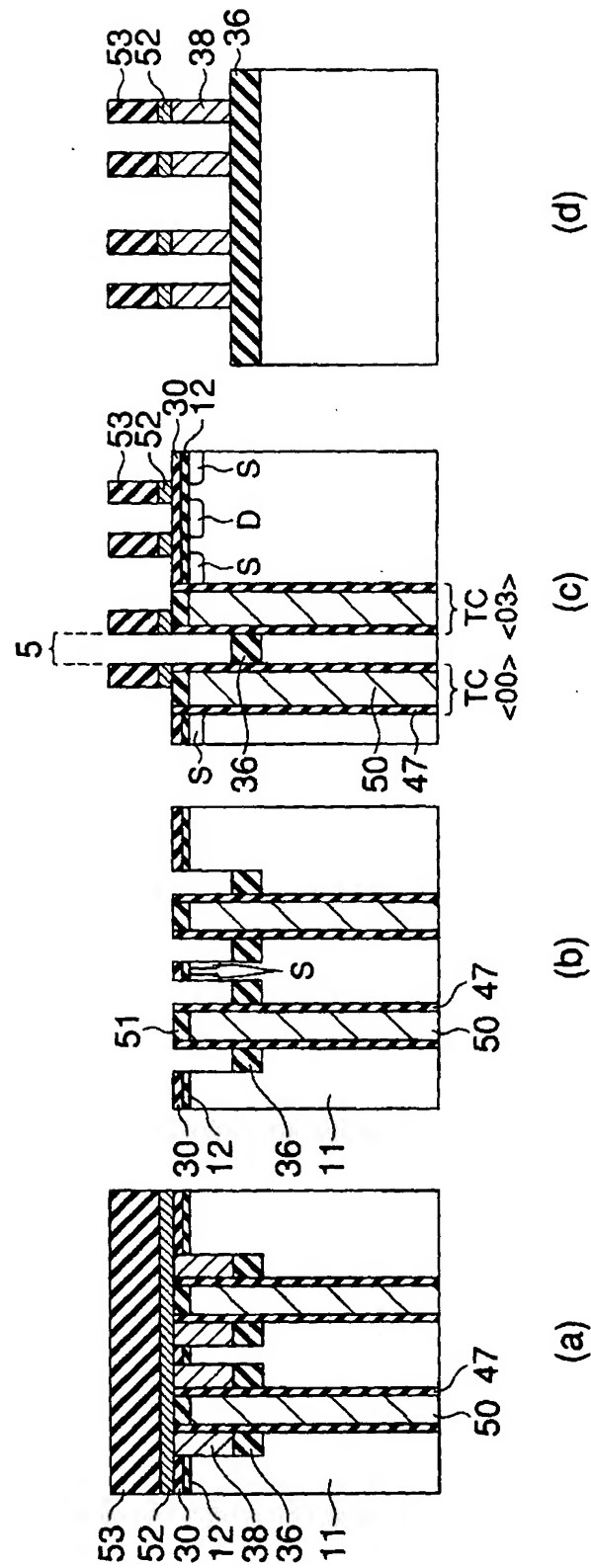
【図 19】



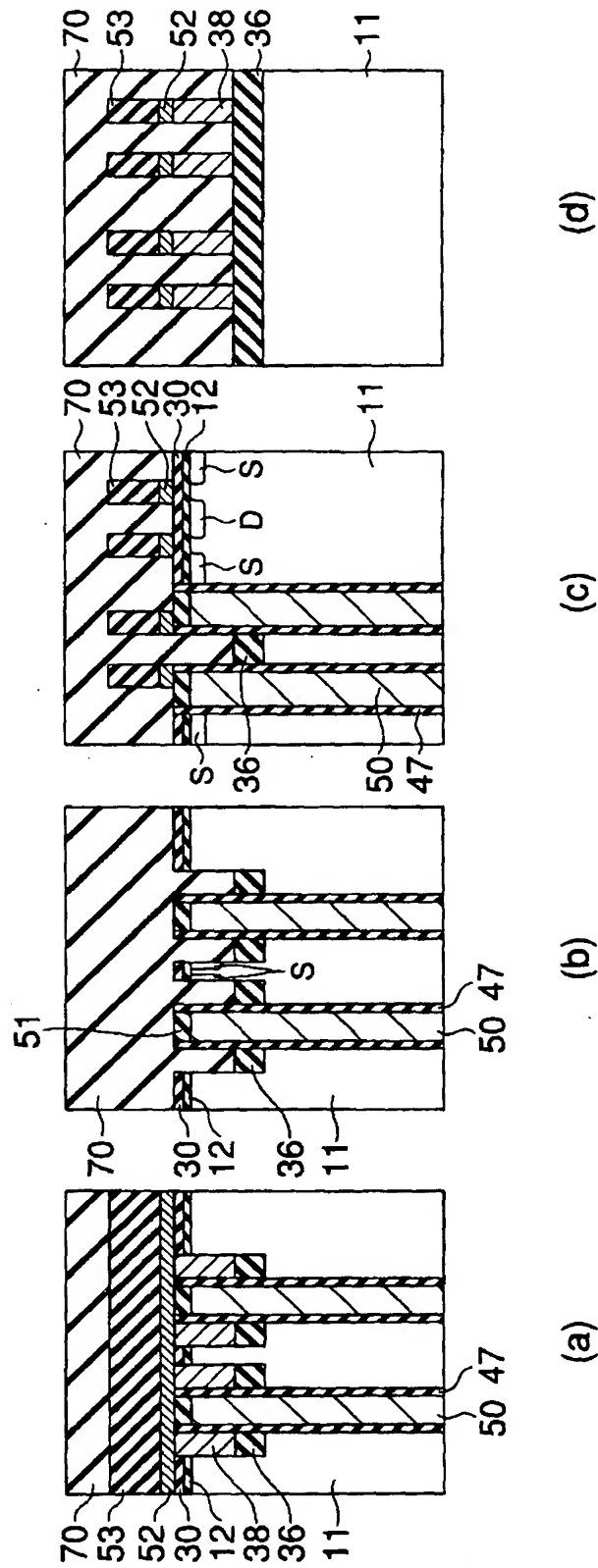
【図 2 0】



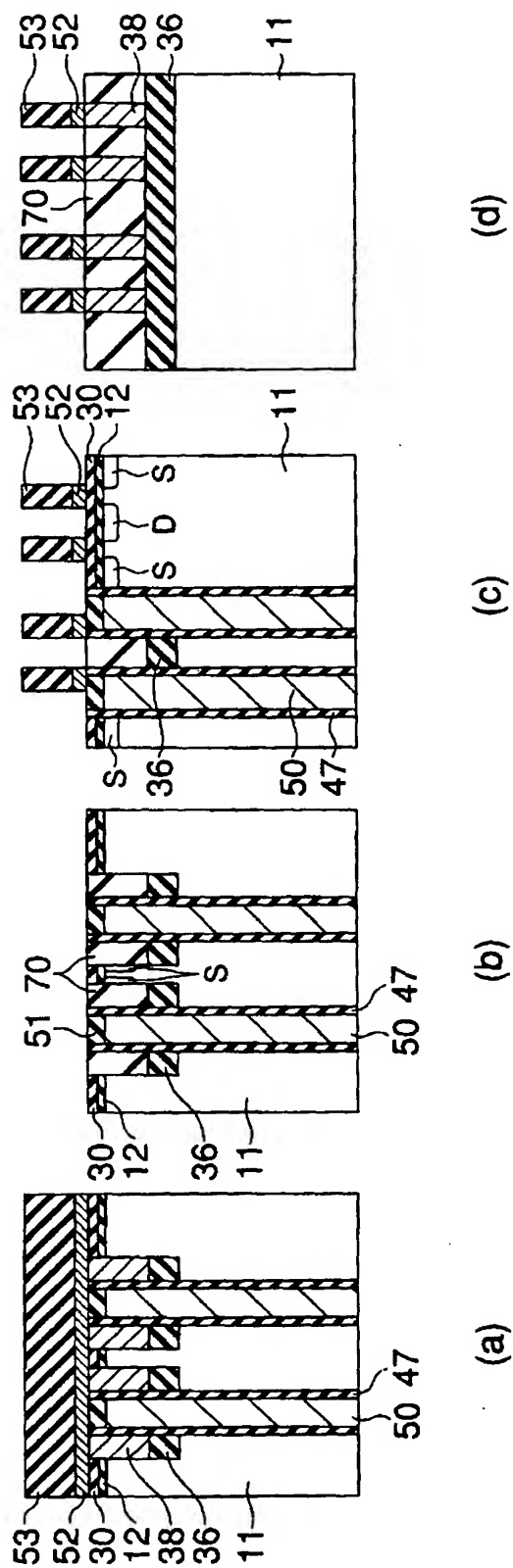
【図 2 1】



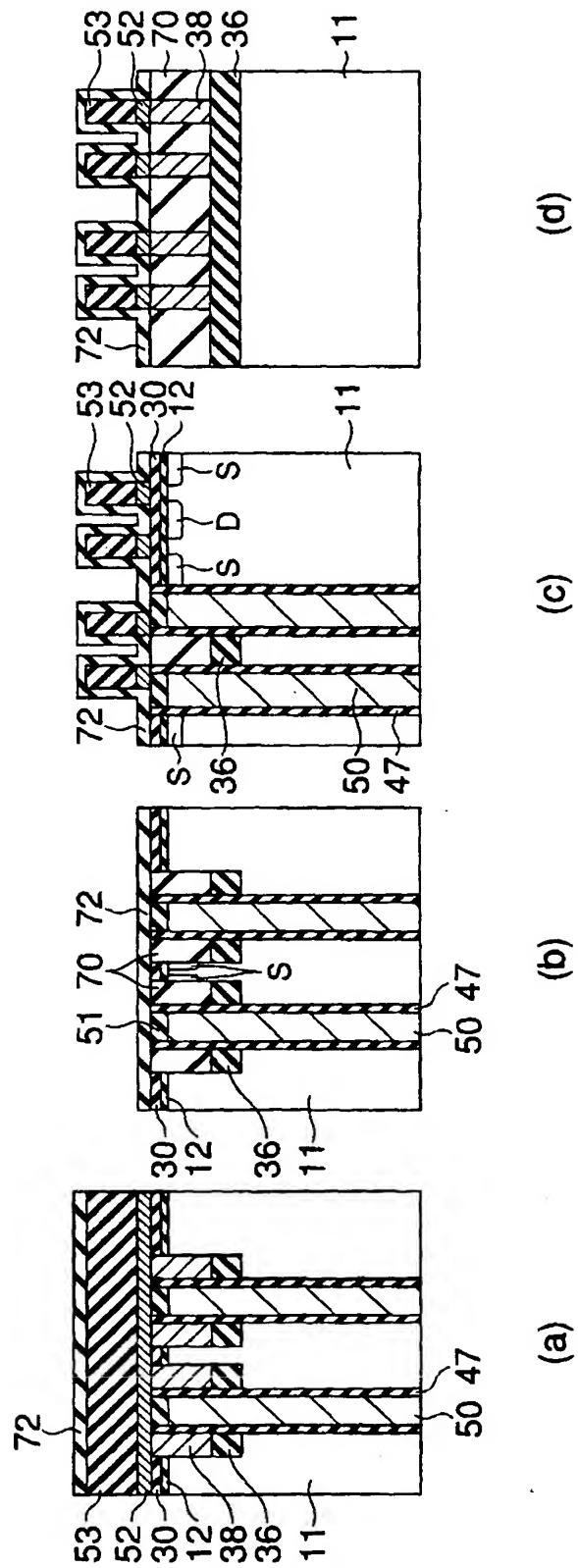
【図 22】



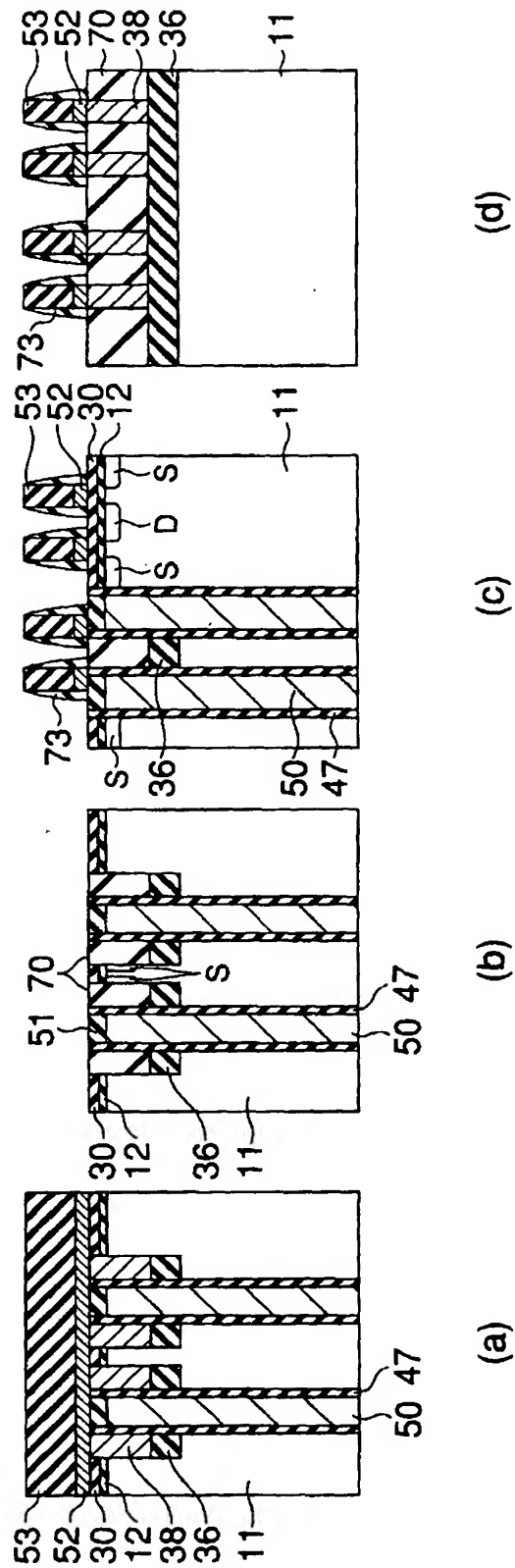
【圖 23】



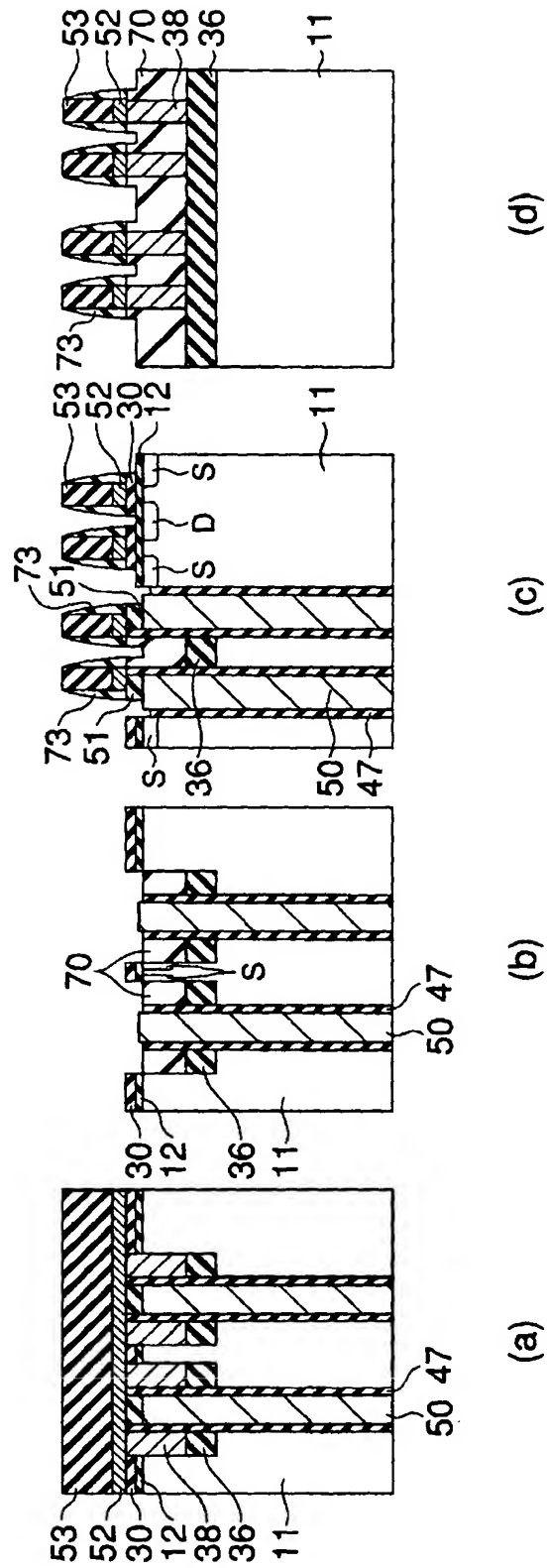
【図 24】



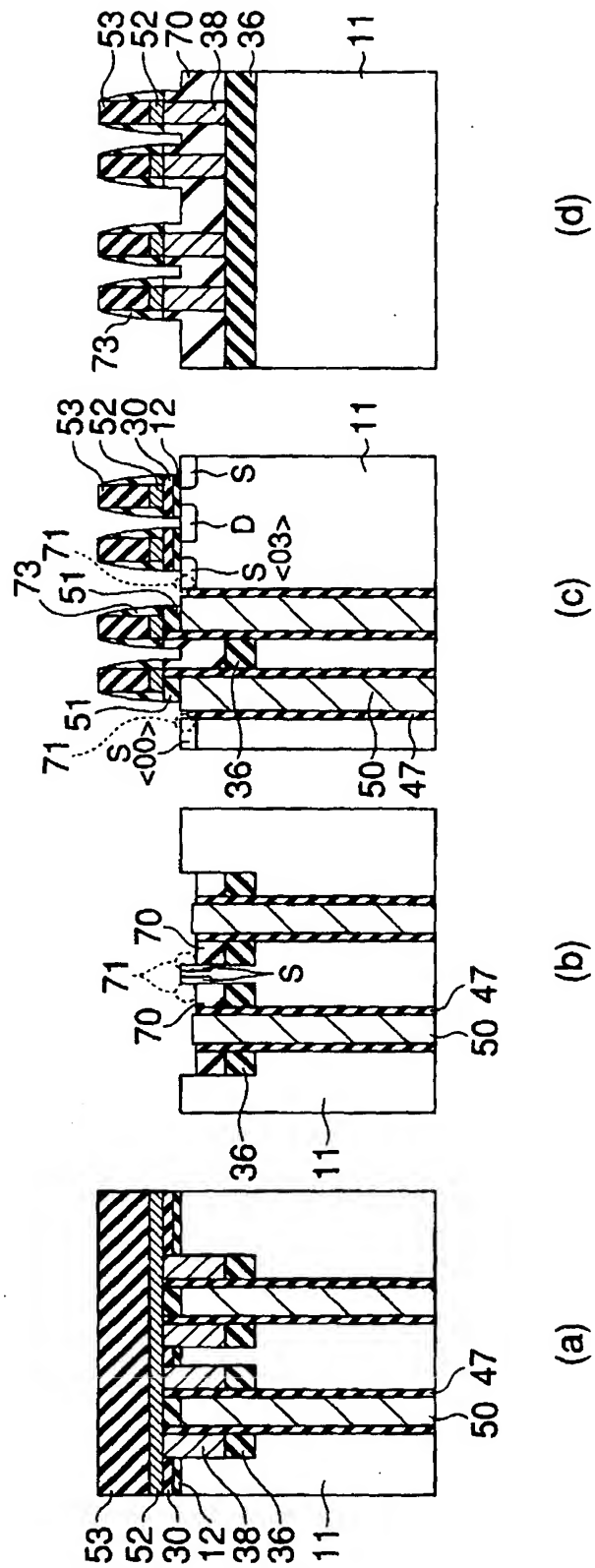
【図 25】



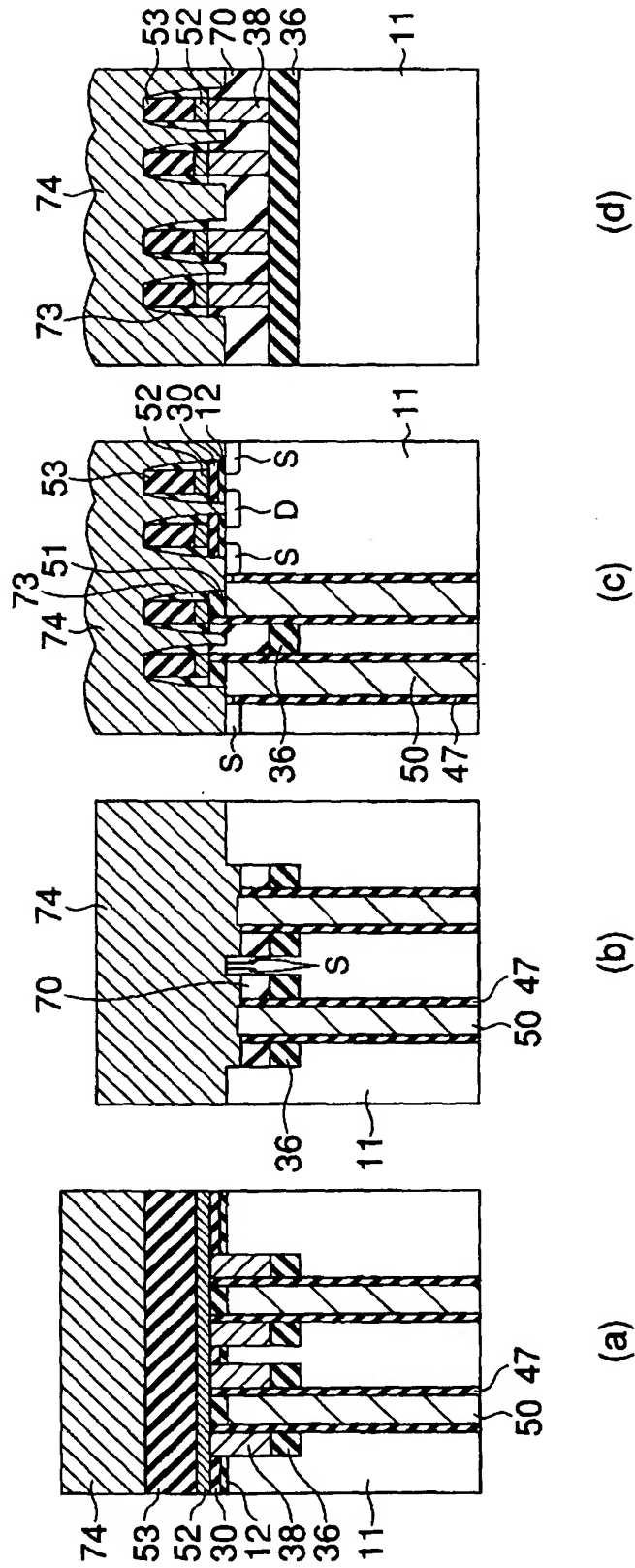
【図26】



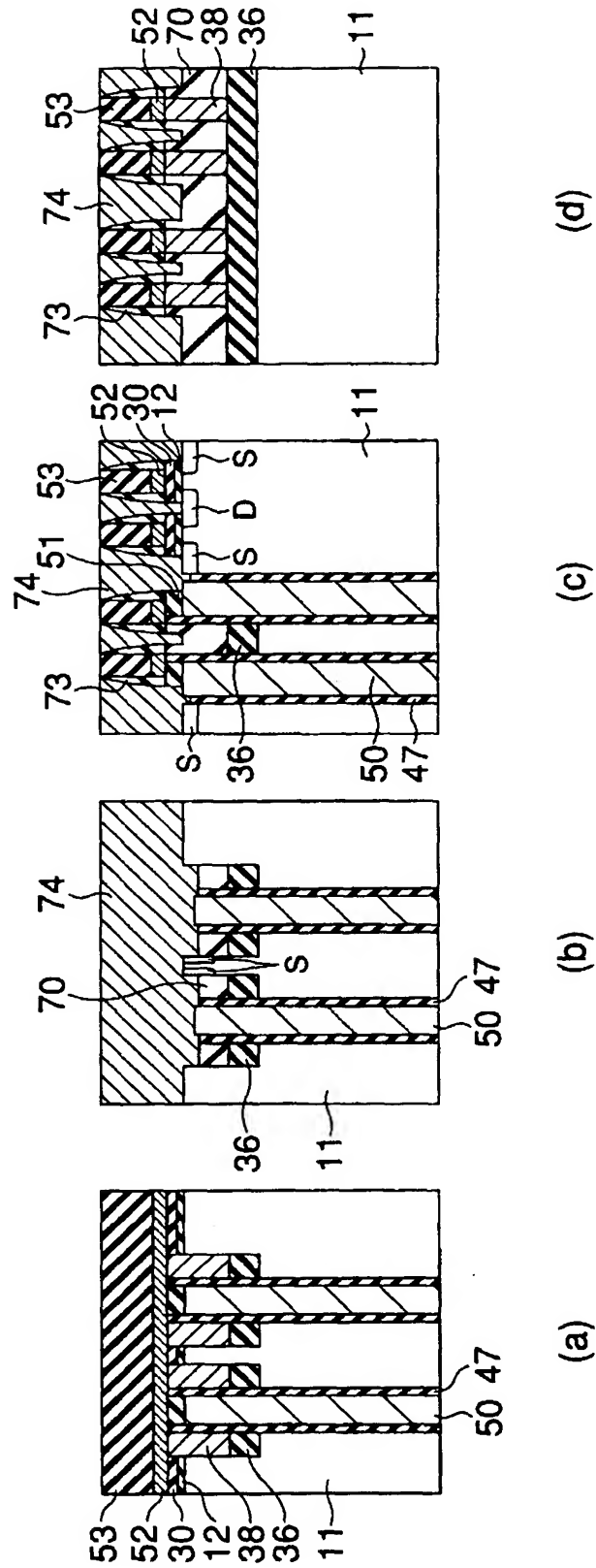
【図27】



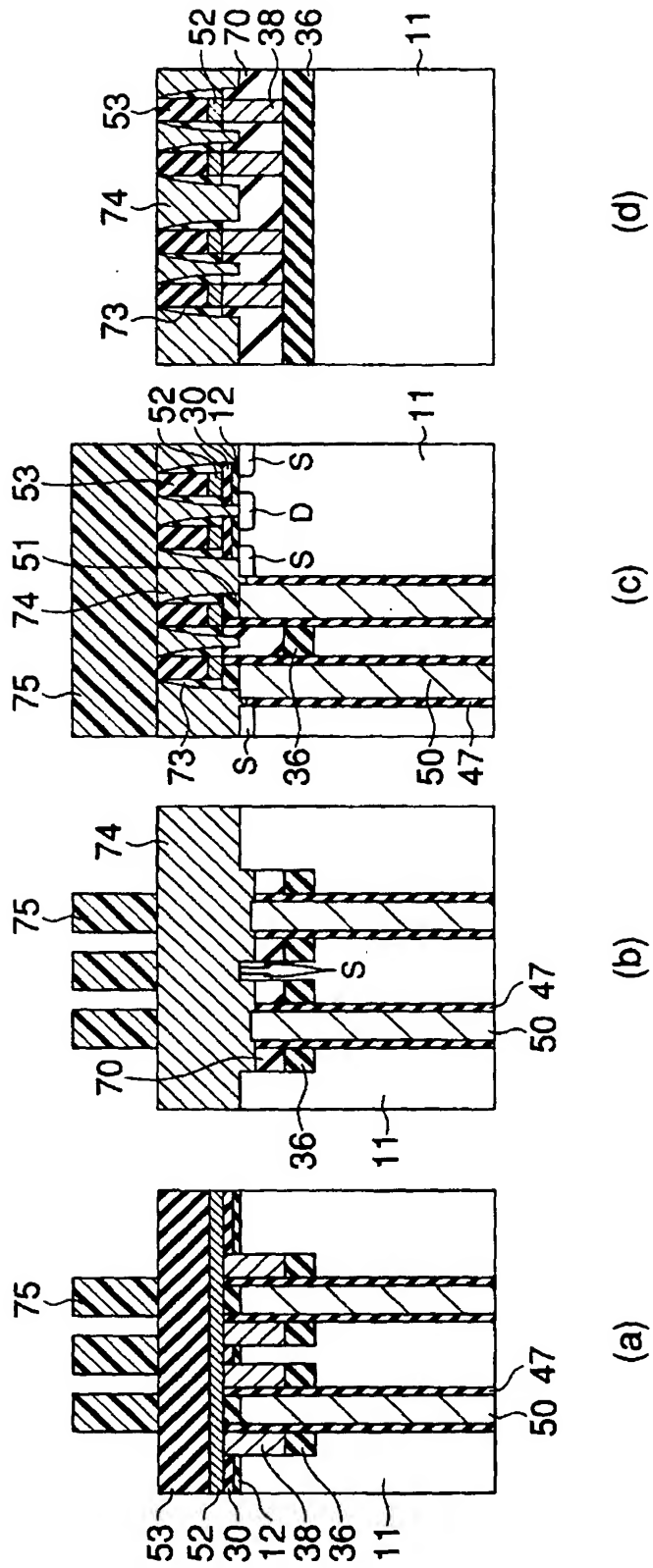
【図28】



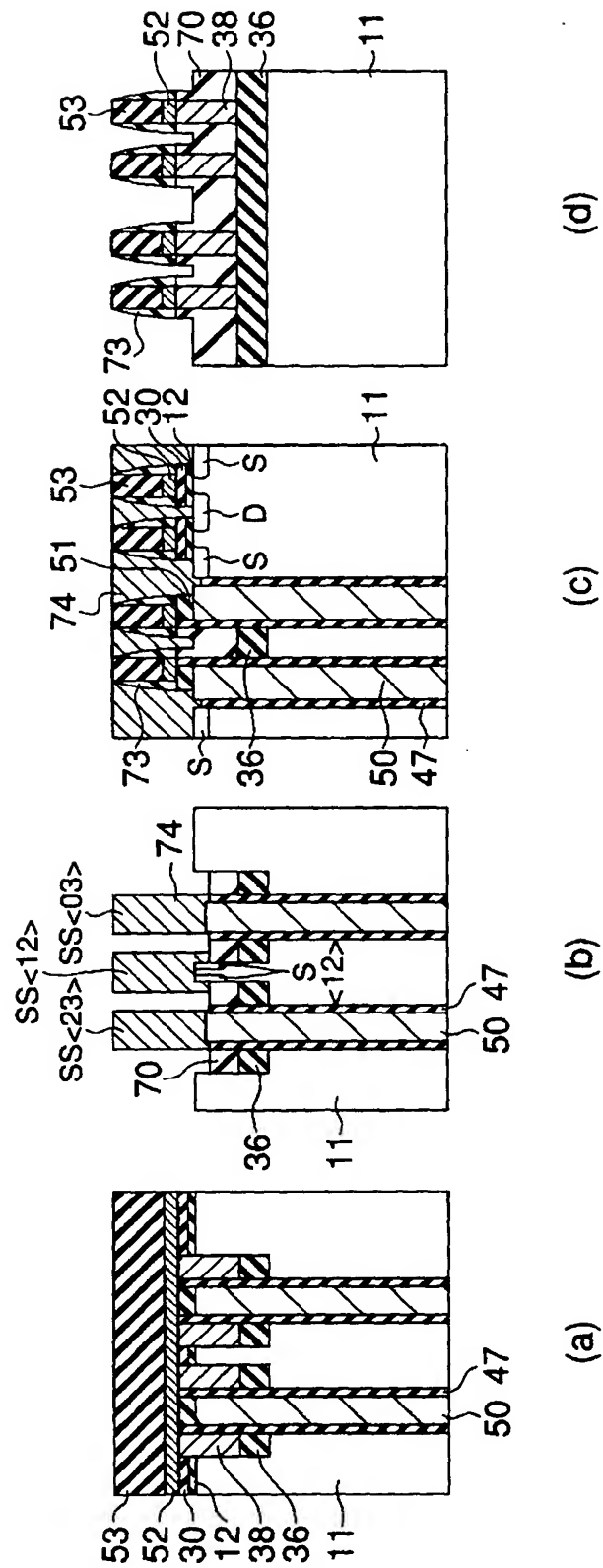
【図 29】



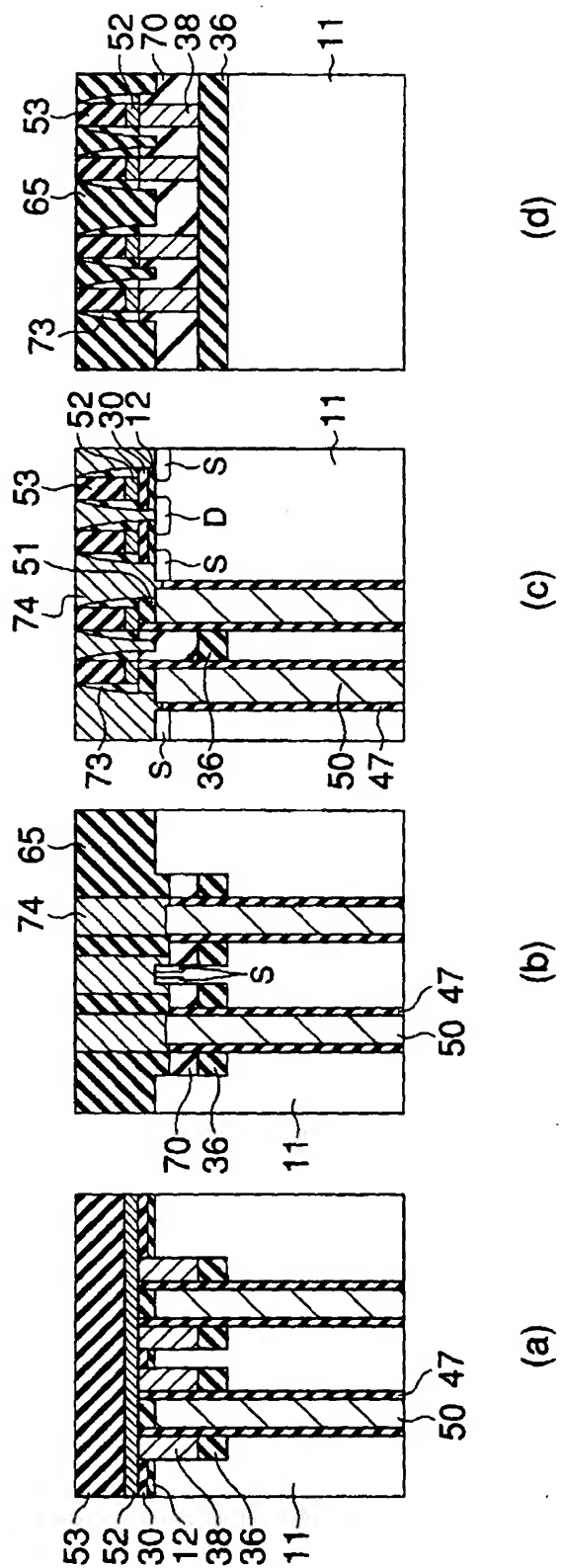
【図 30】



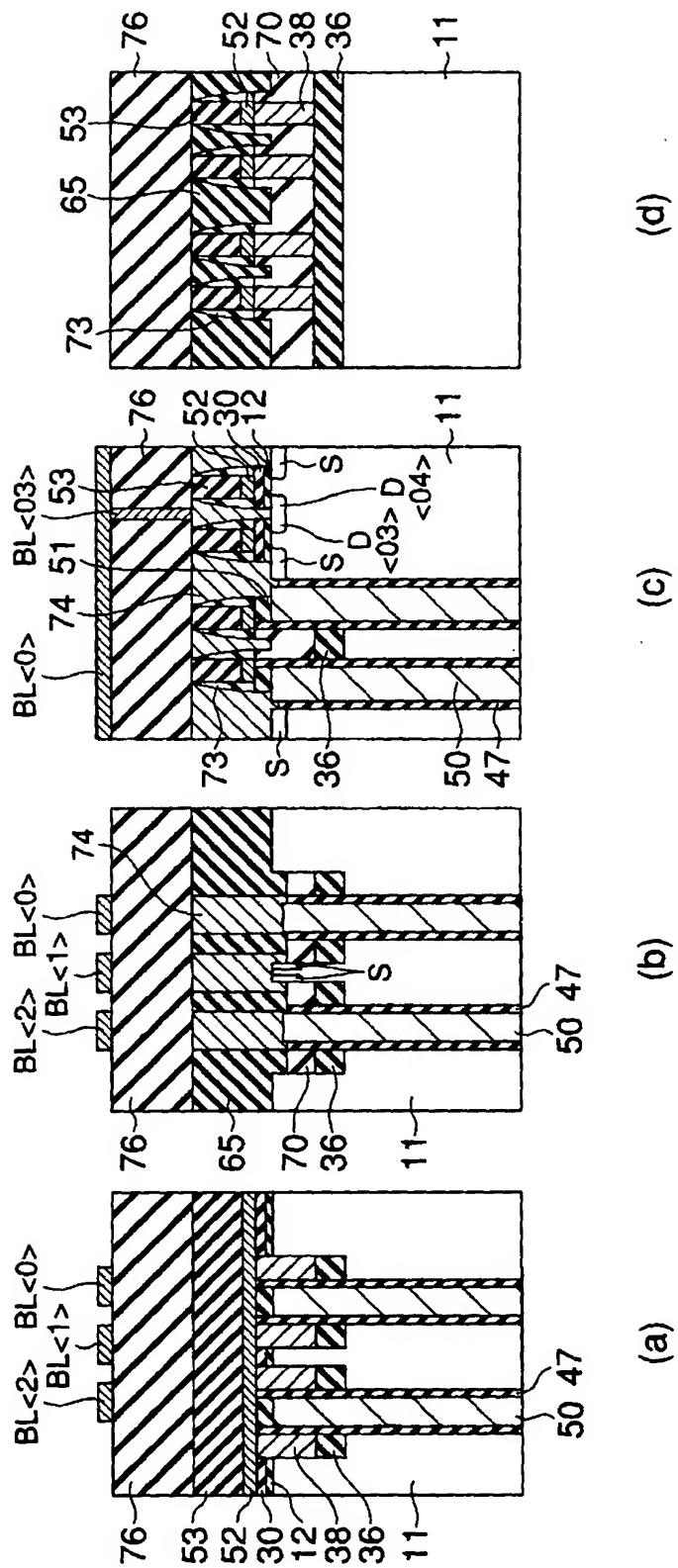
【图 3 1】



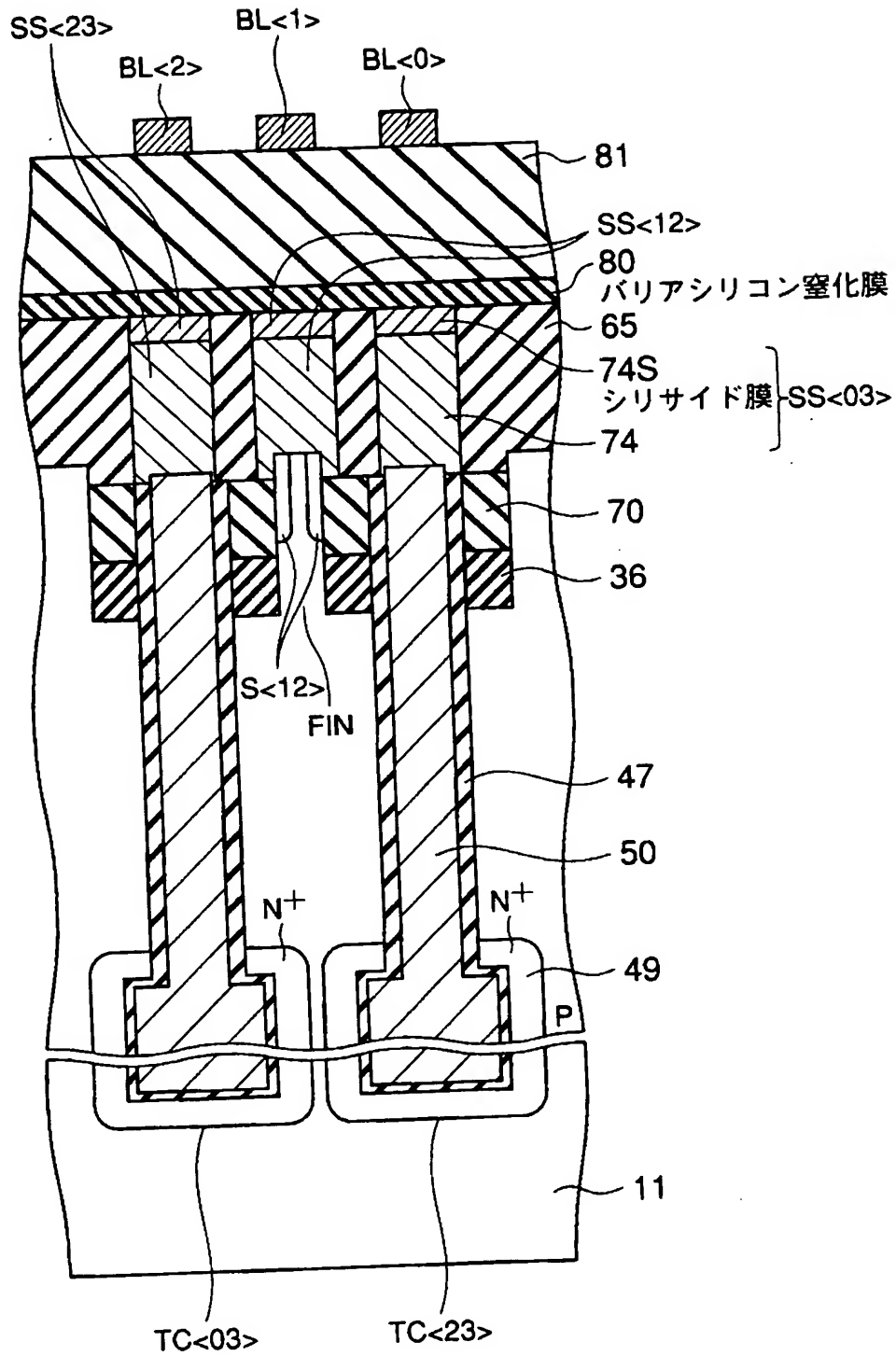
【図 3 2】



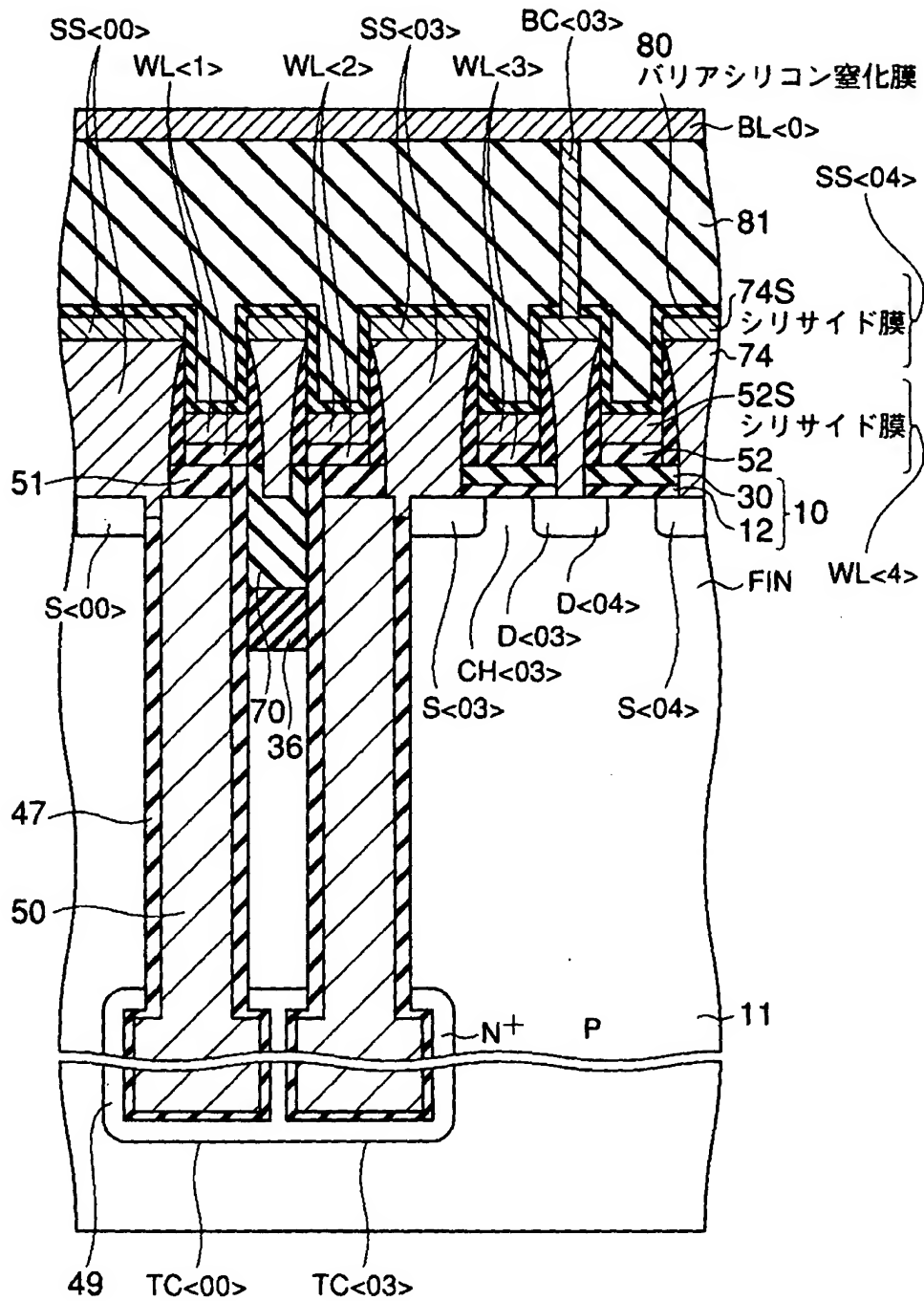
【图 3 3】



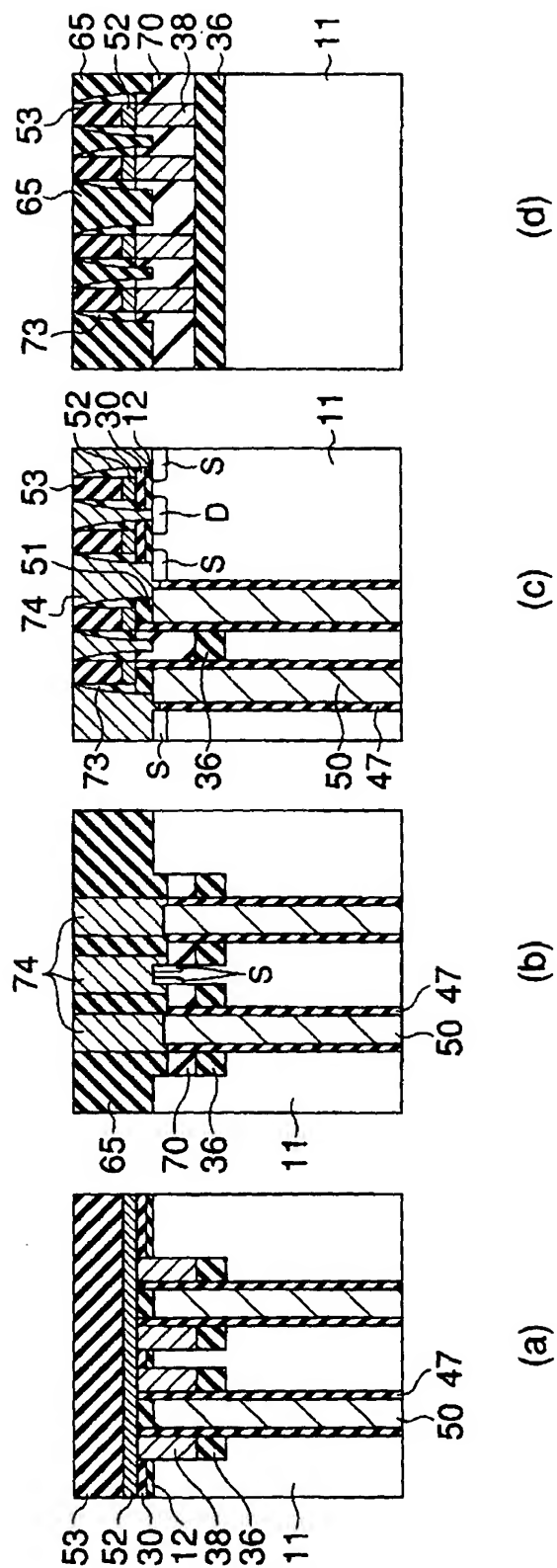
【図 3 4】



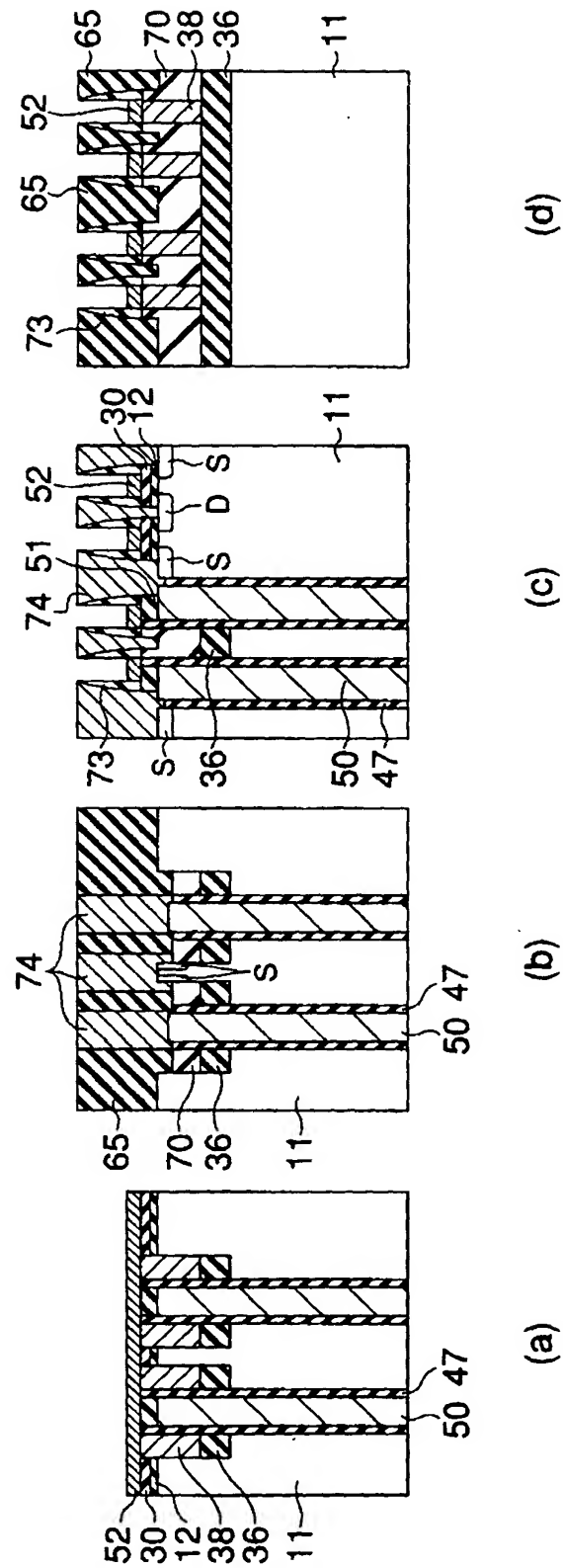
【図 35】



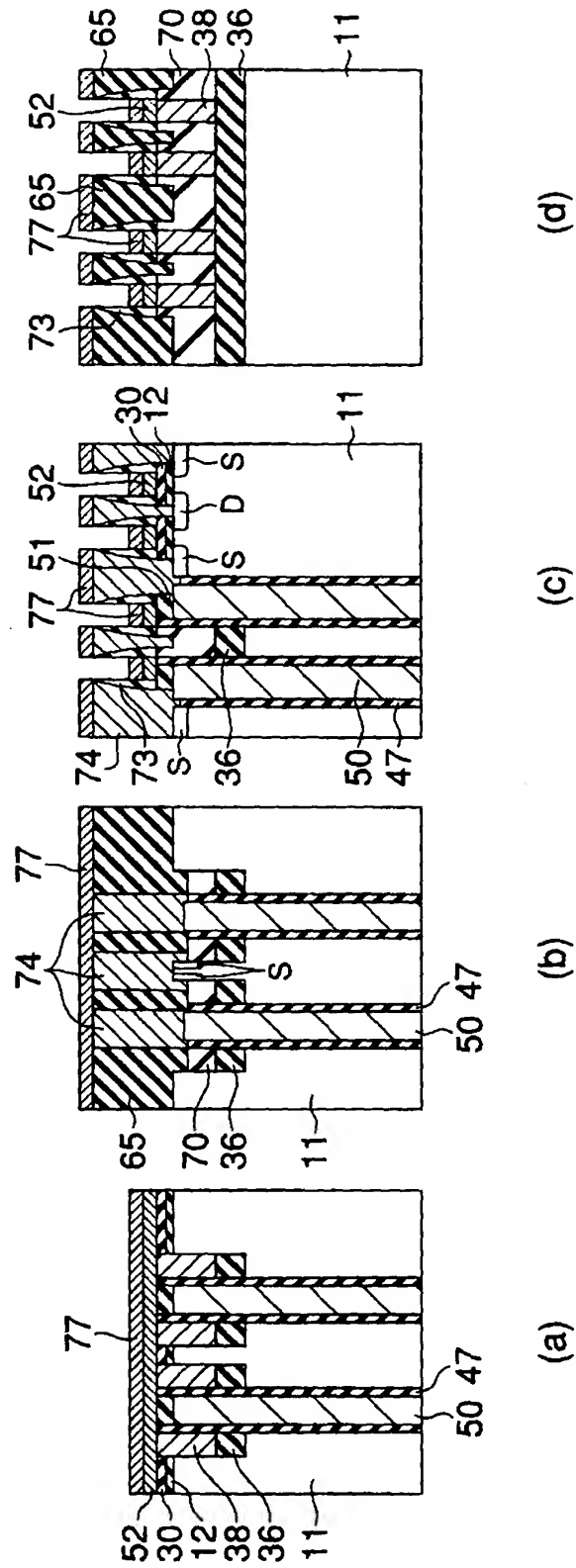
【図36】



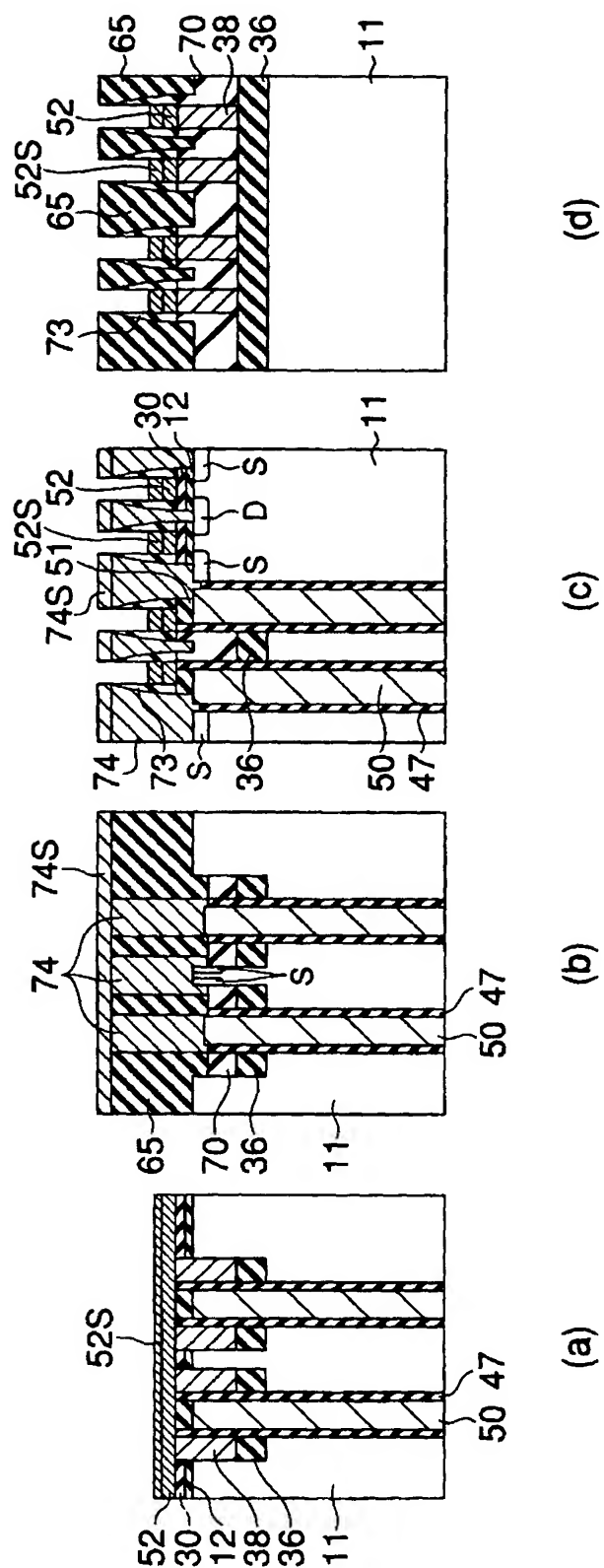
【図 37】



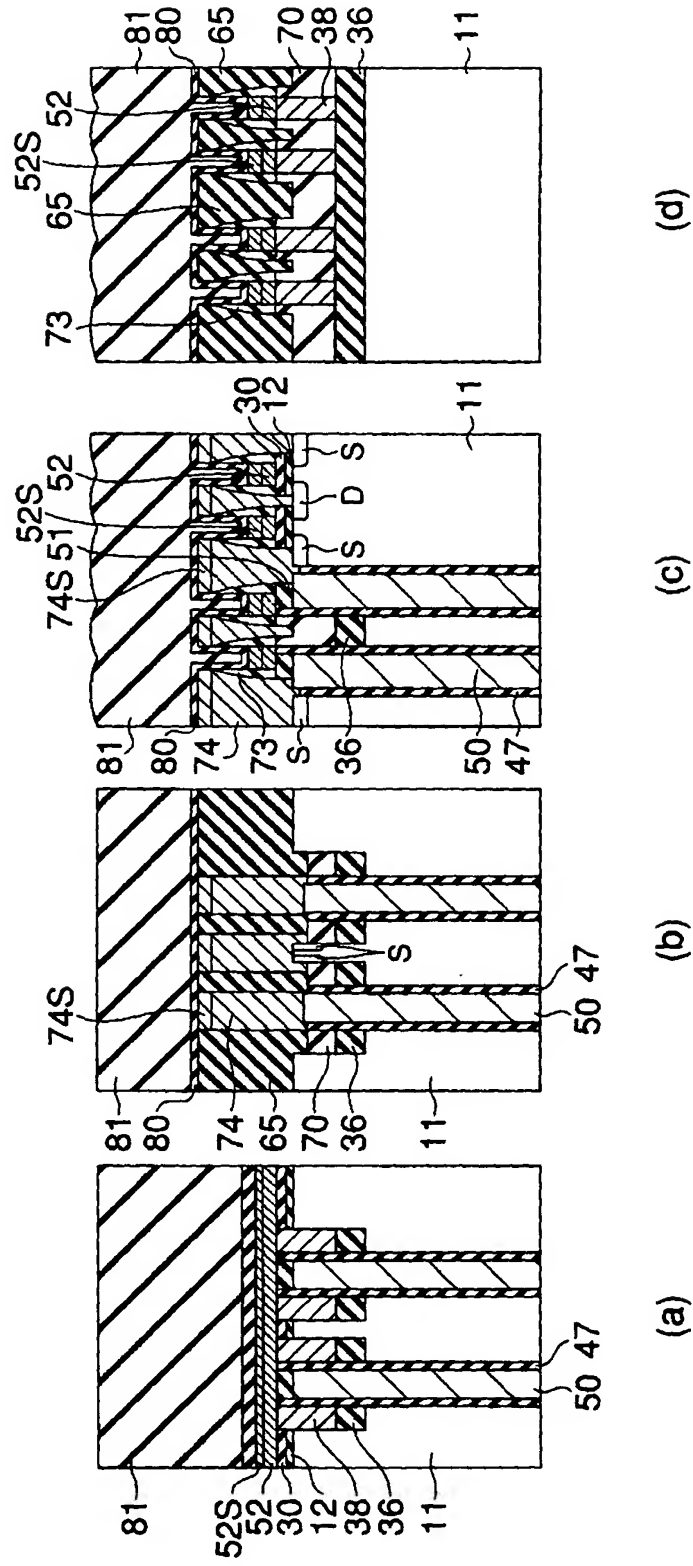
【図 38】



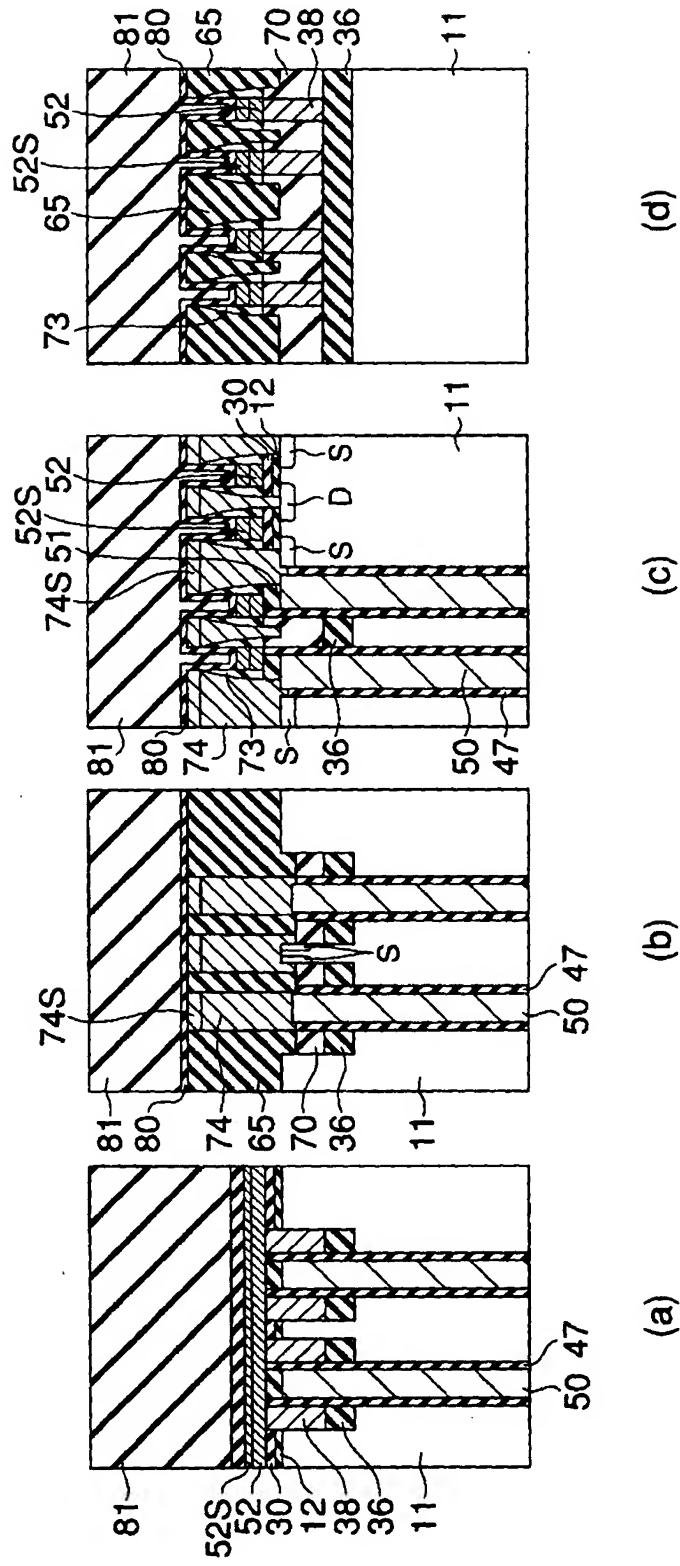
【图 3 9】



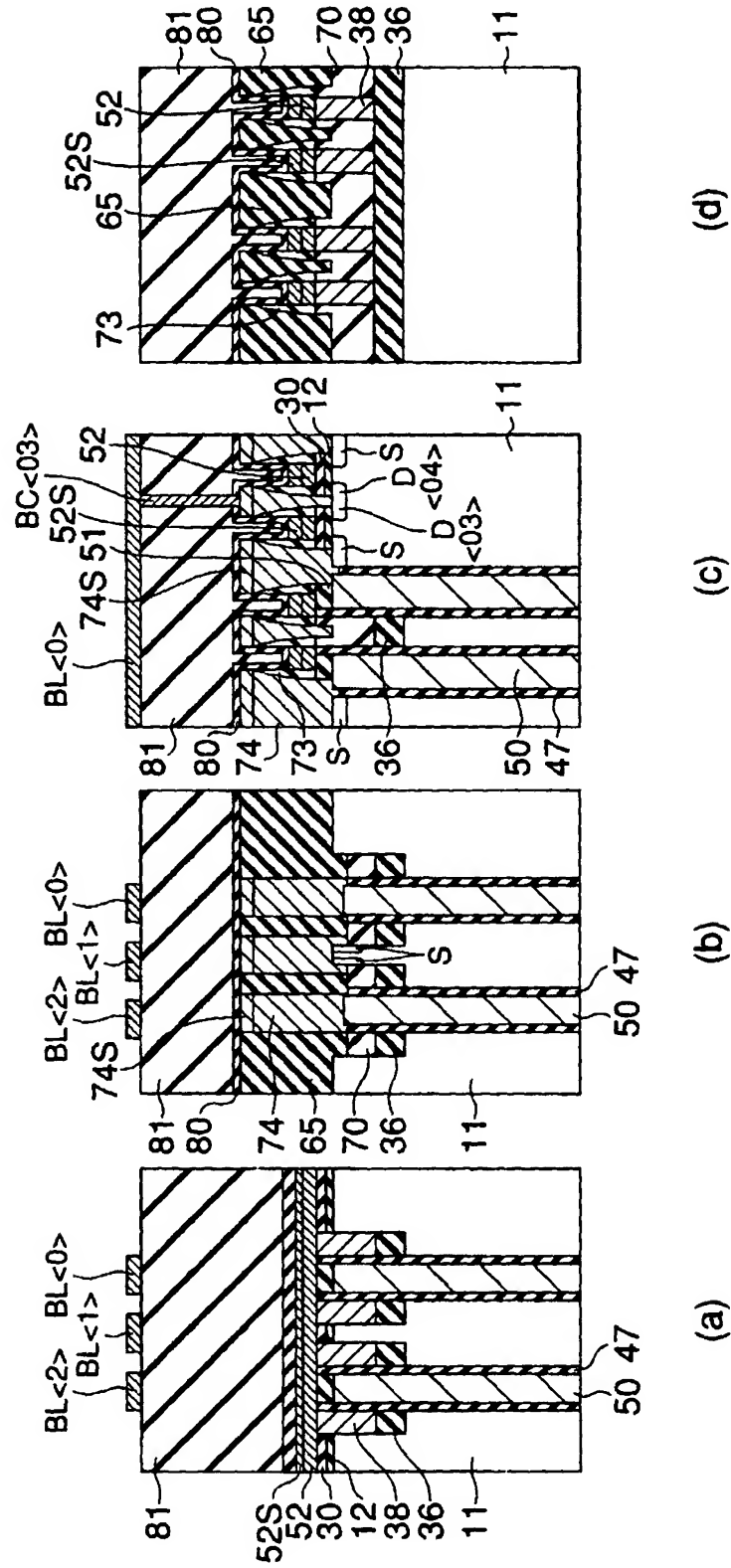
【図 40】



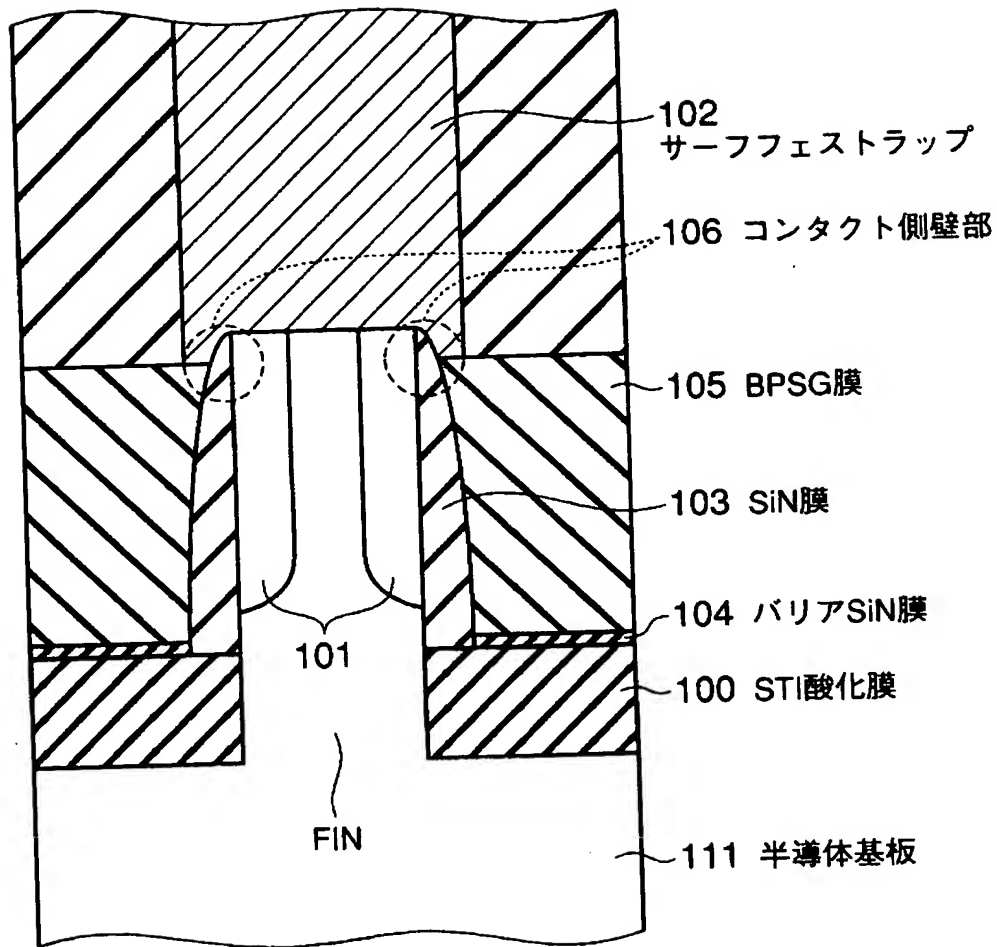
【図 41】



【図 42】



【図 43】



【書類名】 要約書

【要約】

【課題】 サーフェスストラップを用いてトレンチキャパシタとフィンゲート構造のMOSFETのソース領域又はドレイン領域とを接続する場合に、コンタクト抵抗を低減出来る半導体記憶装置及びその製造方法を提供する。

【解決手段】 トレンチキャパシタTCと、前記トレンチキャパシタを選択するフィンゲート構造のMOSFET TRとを有するメモリセルMCを備えている。前記MOSFETの活性化領域Sの一方と前記トレンチキャパシタの一方の電極50は、サーフェスストラップSSで電氣的に接続されている。前記サーフェスストラップSSは、前記ピラーFINの上面及び側壁の上部でコンタクトすることを特徴とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000003078]

1. 変更年月日	2003年 5月 9日
[変更理由]	名称変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝